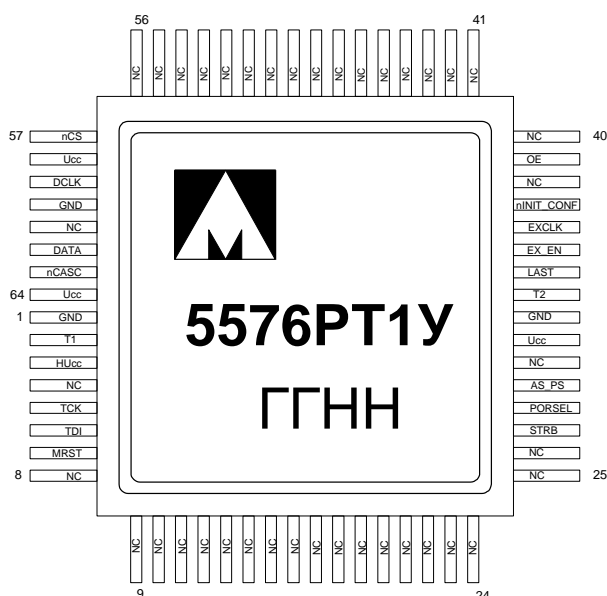




Микросхема радиационностойкого однократно программируемого ПЗУ для конфигурирования ПЛИС 5576PT1У, K5576PT1У, K5576PT1УК, 5576PT1Н4, K5576PT1Н4



Основные характеристики микросхемы:

- Емкость ПЗУ 1 Мбит;
- Диапазон напряжения питания: 3,0–3,6 В;
- Ток потребления в режиме хранения, I_{CCS} , не более 5 мА;
- Динамический ток потребления в режиме конфигурирования, I_{OCC} , не более 40 мА;
- Период следования импульсов тактовых сигналов внутреннего генератора, $T_{C(DCLK)}$, 150-250 нс;
- Коэффициент программируемости, N_{PR} , не менее 0,8.

ГГ – год выпуска

НН – неделя выпуска

- Температурный диапазон:

Обозначение	Диапазон
5576PT1У	минус 60 – 100 °С
K5576PT1У	минус 60 – 100 °С
K5576PT1УК	0 – 70 °С

Тип корпуса:

- 64-х выводной металлокерамический корпус 5134.64-6;
- микросхемы 5576PT1Н4 и K5576PT1Н4 поставляются в бескорпусном исполнении.

Область применения микросхем

Программируемые логические интегральные схемы (ПЛИС) серии 5576ХС и аналогичные им, основаны на энергозависимой памяти SRAM LUT. Микросхема 5576PT1У (далее по тексту «конфигурационное устройство») обеспечивает конфигурирование ПЛИС серии 5576ХС и аналогичных им и является энергонезависимой.

Структурная блок-схема микросхемы

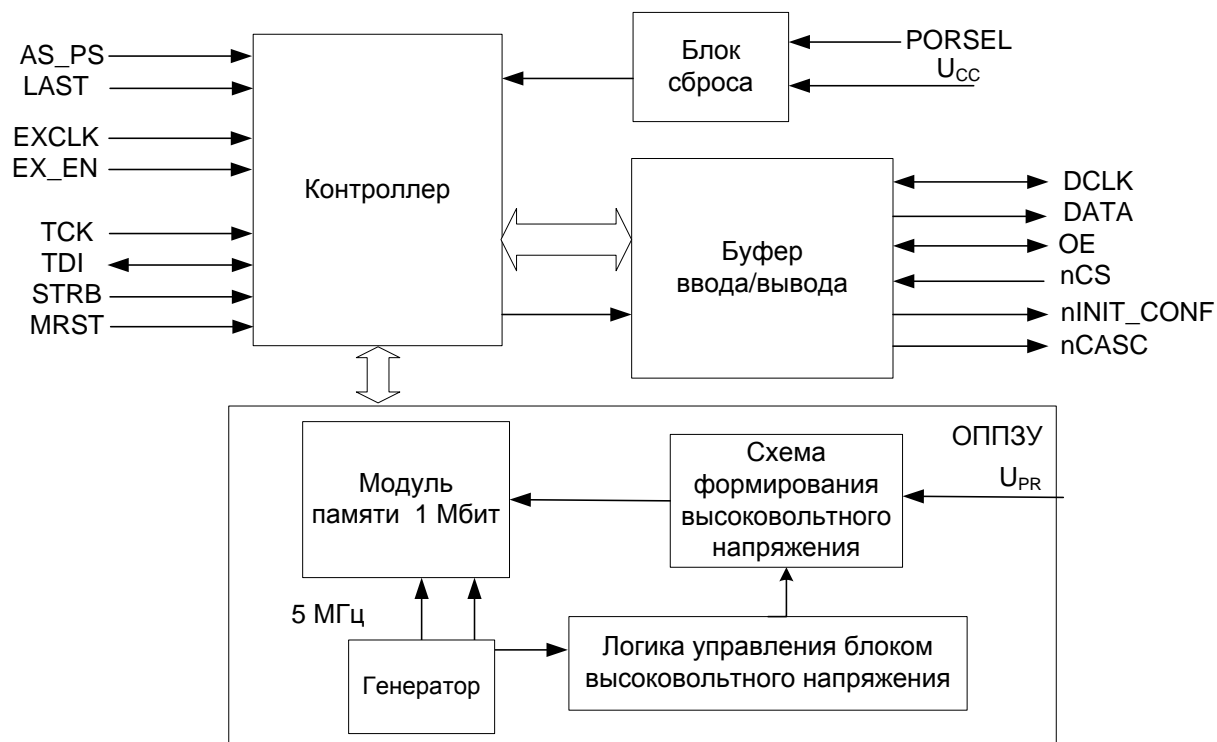


Рис. 1 Структурная блок-схема микроконтроллера

Описание выводов

Таблица 1 Описание выводов

№ вывода корпуса	№ контактной площадки кристалла	Обозначение вывода	Функциональное назначение вывода
1	1, 2	GND	Общий
2	3	T1	Технологический вывод
3	4	HUcc	Напряжение программирования. В режиме конфигурирования ПЛИС может подключаться к напряжению питания 3,3 В, либо не подключаться вовсе
5	7	TCK	Вход синхросигнала последовательного канала программирования. Подключается к выводу «Общий», если последовательный канал программирования не используется
6	9	TDI	Вход/выход данных последовательного канала программирования. Подключается к выводу «Общий», если последовательный канал программирования не используется
7	11	MRST	Вход сигнала сброса последовательного канала программирования. Подключается к выводу «Общий», если последовательный канал программирования не используется
27	16	STRB	Вход сигнала инициирования обмена по последовательному каналу программирования. Подключается к выводу «Общий», если последовательный канал программирования не используется
28	18	PORSEL	Вход выбора времени задержки POR при включении питания. Если PORSEL=0, то время POR 100 мс, если PORSEL=1, то время POR 2 мс
29	19	AS_PS	Вход выбора режима конфигурирования ПЛИС. AS_PS=1 – active serial. ПЛИС работает в активном режиме. AS_PS=0 – passive serial. ПЛИС работает в пассивном режиме. В режиме каскадирования все устройства в цепочке должны иметь AS_PS=1 или первое устройство в цепочке AS_PS=0

Спецификация 5576PT1У, K5576PT1У, K5576PT1УК, K5576PT1Н4

№ вывода корпуса	№ контактной площадки кристалла	Обозначение вывода	Функциональное назначение вывода
31	21, 22	Ucc	Питание 3,3 В
32	23, 24	GND	Общий
33	25	T2	Технологический вывод
34	26	LAST	Вход определения последней конфигурационной схемы в цепочке каскадирования. Последняя схема должна иметь LAST=1, все остальные устройства в цепочке должны иметь LAST=0. При конфигурировании одним устройством LAST=1
35	27	EX_EN	Вход выбора источника синхросигнала для выхода DCLK. EX_EN=1 - внешний синхросигнал с EXCLK. EX_EN=0 - синхросигнал с внутреннего генератора
36	28	EXCLK	Вход дополнительного источника синхросигнала для формирования конфигурационного сигнала DCLK. Разрешается, если EX_EN=1. Подключается к выводу «Общий» при EX_EN=0
37	29	nINIT_CONF	Выход инициирования процесса конфигурирования. Этот вывод подключается к выводу nCONFIG ПЛИС. В каскадном режиме вывод nINIT_CONF первого устройства в цепочке подключается к выводу nCONFIG ПЛИС. Выводы nINIT_CONF остальных устройств остаются неподключенными
39	31	OE	Вход/выход сигнала разрешения выхода данных (активный уровень «1») и сигнала сброса (активный уровень «0»). Вывод подключается к выводу nSTATUS ПЛИС. Уровень логического нуля сбрасывает счётчик адреса. Логическая единица разрешает выход данных DATA и инкрементирование счётчика адреса. Если этот вывод становится логическим нулём в процессе конфигурирования, то внутренний генератор становится неактивным и DCLK переводится в состояние нуля. Вывод не имеет внутреннего подтягивающего резистора, поэтому требуется внешний подтягивающий к питанию резистор

Спецификация 5576PT1У, K5576PT1У, K5576PT1УК, K5576PT1Н4

№ вывода корпуса	№ контактной площадки кристалла	Обозначение вывода	Функциональное назначение вывода
57	33	nCS	Вход разрешения конфигурирования. Вывод подключается к выводу CONF_DONE ПЛИС. Низкий уровень позволяет инкрементировать счётчик адреса и разрешает выход DATA. Вывод не имеет внутреннего подтягивающего резистора, поэтому требуется внешний подтягивающий к питанию резистор
58	34	Ucc	Питание 3,3 В
59	35	DCLK	Вход/выход синхросигнала конфигурирования. Выход синхросигнала в случае если AS_PS=0, в противном случае работает как вход. Положительный фронт на DCLK увеличивает внутренний счётчик адреса и выставляет следующий бит данных на вывод DATA. Счётчик инкрементируется только если вход OE в логической единице, nCS в логическом нуле и не все данные переданы в ПЛИС. После конфигурирования или если OE в логическом нуле устройство удерживает DCLK в логическом нуле
60	36	GND	Общий
62	38	DATA	Выход последовательных данных конфигурирования. Вывод подключается к выводу DATA0 ПЛИС. Данные защёлкиваются в ПЛИС по переднему фронту DCLK. Вывод находится в третьем состоянии перед конфигурацией и если вывод nCS в состоянии логической единицы, вывод LAST в состоянии логического нуля. После конфигурации, если LAST и nCS в состоянии логической единицы, то вывод DATA находится в нуле
63	39	nCASC	Выход разрешения каскадирования. При LAST=0 этот вывод переходит в состояние логического нуля при достижении максимального значения счётчиком адреса. В цепочке конфигурационных устройств этот вывод подключается на вход nCS следующего устройства, который разрешает защёлкивать данные из следующего устройства в цепочке по DCLK. Для одного конфигурационного устройства или последнего в цепочке этот вывод не подключается
64	41, 40	Ucc	Питание 3,3 В

Спецификация 5576PT1У, K5576PT1У, K5576PT1УК, K5576PT1Н4

№ вывода корпуса	№ контактной площадки кристалла	Обозначение вывода	Функциональное назначение вывода
4, 8 – 26, 30, 38, 40 – 56, 61	5, 6, 8, 10, 12, 9 – 24, 13 – 15, 17, 20, 30, 32, 37, 41 – 56,	NC	Не используются

Описание функционирования микросхемы

Ядро конфигурационного устройства делится на два основных блока: конфигурационный контроллер и ОППЗУ. Блок ОППЗУ состоит из памяти ёмкостью 1 Мбит, которая программируется посредством последовательного интерфейса, схемы формирования высоковольтного напряжения и генератора частоты, обеспечивающего необходимую длительность импульсов программирования. Для записи (программирования) информации пользователями и конфигурирования ПЛИС доступно 768 Кбит. Другой памяти, доступной для обращения извне, нет.

Конфигурационное устройство 5576PT1У поддерживает два режима конфигурирования ПЛИС:

- Active serial (AS). Синхросигнал формируется на выводе DCLK ПЛИС и является входным для конфигурационного устройства. Режим выбирается подачей сигнала AS_PS=1.
- Passive serial (PS). Синхросигнал формируется на выводе DCLK микросхемы 5576PT1У и является входным для ПЛИС. Режим выбирается подачей сигнала AS_PS=0.

Конфигурационное устройство поддерживает возможность каскадного включения группы микросхем. В этом случае синхросигнал формируется либо первым устройством в цепочке, либо ПЛИС. При этом последнее устройство в цепочке должно иметь на входе LAST логическую единицу.

При конфигурировании последовательные данные поступают на вывод DATA конфигурационного устройства.

Конфигурационное устройство имеет внутренний генератор 5 МГц.

Предусмотрены следующие варианты подачи синхросигнала DCLK:

- внешний синхросигнал на вход EXCLK (при AS_PS=0 и EX_EN=1), до 33 МГц, транслируется на вывод DCLK;
- синхросигнал с внутреннего генератора (при AS_PS=0 и EX_EN=0), 5МГц, транслируется на вывод DCLK.
- синхросигнал на вход DCLK (при AS_PS=1), до 33 МГц.

К основным функциям конфигурационного устройства также относится возможность внутрисхемного программирования через последовательный интерфейс (последовательный интерфейс программирования) с защитой от случайного изменения ячеек памяти, а также возможность задания задержки схемы формирования сброса, с помощью вывода PORSEL.

Сброс при включении питания

Блок сброса (далее «схема POR») удерживает систему в состоянии сброса (удерживает вывод OE в состоянии логического нуля), пока не стабилизируется уровень напряжения питания. Время POR включает время нарастания напряжения питания и программируемый пользователем счётчик задержки POR. Когда питание стабилизируется и задержка POR истечёт, схема POR освобождает вывод OE. Время POR может быть увеличено внешним устройством, удерживающим OE в нуле.

Конфигурационное устройство поддерживает программирование задержки POR. Можно установить задержку POR по умолчанию 100 мс или уменьшить её до 2 мс для систем требующих быстрого включения питания. Вывод PORSEL управляет задержкой POR: Логическая единица выбирает 2 мс задержку, логический нуль - 100 мс задержку.

Последовательность подачи питания

Чтобы быть уверенным, что конфигурационное устройство вошло в режим конфигурирования правильно, необходимо, чтобы схема POR ПЛИС закончила работу прежде, чем схема POR конфигурационного устройства.

Для увеличения времени запитки ПЛИС должна выбираться задержка POR конфигурационного устройства, $t_{PHL(POR)}$, при $PORSEL=0$, что позволит ПЛИС включиться прежде, чем начнётся конфигурирование. Помимо этого вывод $nINIT_CONF$ конфигурационного устройства необходимо подключить к выводу $nCONFIG$ ПЛИС, что позволит удерживать вывод $nCONFIG$ в нуле, пока все напряжения питания не стабилизируются.

Программирование и поддержка конфигурационных файлов

Конфигурационное устройство программируется с помощью USB программатора, компании «Миландр», посредством последовательного специализированного интерфейса с защитой от случайного изменения ячеек памяти. Программатор поддерживает два различных формата файлов с конфигурацией ПЛИС: двоичный формат (*.rbf) и шестнадцатеричный (*.hexout), генерируемые программным обеспечением Quartus II фирмы «Altera».

Для программирования ОППЗУ, входящего в состав конфигурационной микросхемы используется последовательный интерфейс программирования.

Структурная схема последовательного интерфейса программирования приведена на Рис. 2 стартовые символы последовательного интерфейса программирования приведены в Таблица 2.

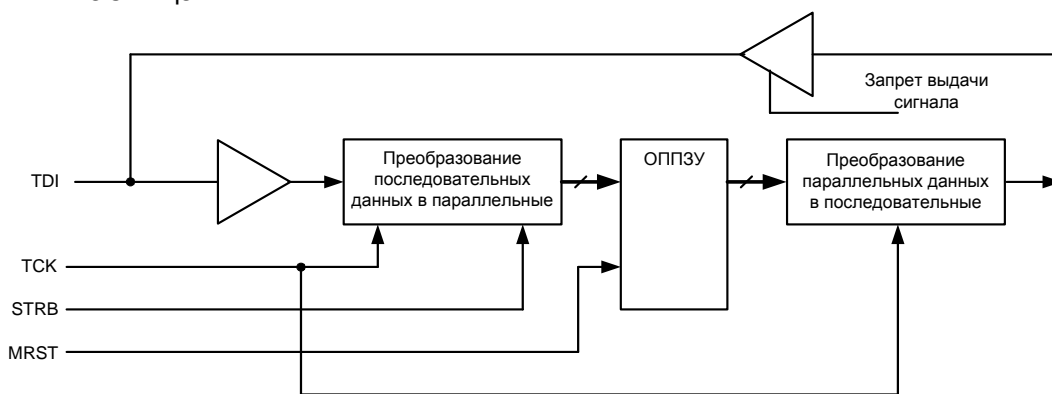


Рис. 2 Структурная схема последовательного интерфейса программирования

Таблица 2 Стартовые символы последовательного интерфейса программирования.

Стартовый символ [1:0]	Режим работы
00	Полный цикл (цикл записи)
01	Командный цикл
10	Цикл чтения
11	Повтор цикла

Примечания:

1 Для входа в последовательный режим программирования STRB=1 должен быть зафиксирован по переднему фронту TСК. Для выхода из последовательного режима необходимо произвести сброс с помощью сигнала MRST=0.

2 Через последовательный интерфейс программирования возможно выполнение операций записи и чтения памяти. Интерфейсом предусмотрено, что операции записи и чтения памяти могут выполняться непосредственно с каждой 8 - разрядной или 16 - разрядной ячейкой памяти (разрядность памяти выбирается в команде). В данной микросхеме используется только 16 - разрядный режим.

Каждый цикл инициируется сигналом STRB = 1, зафиксированным по переднему фронту TСК. Для инициирования записи необходимо передать командную последовательность (см. Таблица 3), состоящую из трёх циклов разблокирования и полного цикла, содержащего адрес и программируемые данные, запись которых инициирует внутренний алгоритм программирования. Для определения окончания операции, требуется контролировать сигнал занятости, который передаётся по двунаправленной линии данных последовательного интерфейса. Контроль других характеристик ячеек памяти не требуется. Конфигурационное устройство автоматически обеспечивает внутреннюю генерацию программных импульсов.

Таблица 3 Командные последовательности

Командные последовательности	Циклы	Циклы на шине											
		Первый		Второй		Третий		Четвёртый		Пятый		Шестой	
		Addr	Data	Addr	Data	Addr	Data	Addr	Data	Addr	Data	Addr	Data
Запись	4	555	AA	AAA	55	555	A0	PA	PD	-	-	-	-

Примечание: PD – данные, программируемые в ячейку памяти PA

Режим полного цикла (Рис. 3) может быть только четвёртым при программировании данных. Данный режим инициируется стартовым символом 00 (см. Таблица 2), далее последовательно передаются адрес записываемой ячейки памяти и записываемые данные. После этого вывод TDI переключается на выход и на него выводится состояние сигнала BUSY (занятости). В случае инициирования внутреннего алгоритма программирования этот сигнал переключается в ноль через 3 импульса TСК, а по завершению операции переключается в единицу. Синхросигнал TСК необходимо подавать постоянно до окончания операции. Для гарантированного считывания сигнала BUSY необходимо производить не менее 4-х последовательных выборок с объединением результата по «И». На протяжении всего полного цикла, используемого для программирования, необходимо подавать напряжение программирования, U_{PR}, на вывод HU_{CC}.

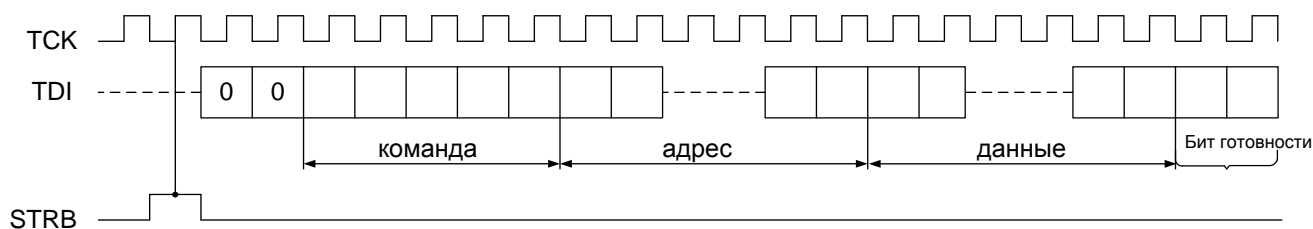


Рис. 3 Режим полного цикла

Команды, адрес и данные передаются младшими разрядами вперёд. В случае 8 разрядных данных адрес передаётся 17 - разрядный, в случае 16 - разрядных данных адрес передаётся 16 - разрядный. Данные также соответственно передаются 8 или 16 - разрядные. В случае записи 16 - разрядных данных: младший байт берется из таблицы, а старший байт имеет нулевое значение. (В данной микросхеме используются только 16 - разрядные данные.)

Далее приведен код команды:

MSB												LSB
-					-	CEB		OEB	WEB		BYTEB	

- CEB – сигнал разрешения памяти
- OEB – сигнал разрешения вывода
- WEB – сигнал разрешения записи
- BYTEB – выбирает разрядность памяти 1–16 разрядов, 0 – 8 разрядов;
- MSB – старший значащий бит;
- LSB – младший значащий бит.

Разрядность кода команды всегда равняется 13 (независимо от типа цикла). Из 13-ти разрядов кода команды в данной микросхеме важны только 4 бита (CEB, OEB, WEB, BYTEB). Для командного цикла и полного цикла – CEB = 0, OEB = 1, WEB = 0, BYTEB = 1. Для цикла чтения CEB = 0, OEB = 0, WEB = 1, BYTEB = 1. Значения остальных девяти бит кода команды не имеют никакого значения (в данной микросхеме).

Режим командного цикла (Рис. 4) может быть только первым, вторым или третьим при программировании данных.

Данный режим инициируется стартовым символом 01, затем следует команда, адрес и данные. Отличие от полного цикла состоит в том, что в этом режиме адрес фиксирован и всегда 12 - разрядный, данные также фиксированы и всегда 8 - разрядные. Для выполнения данного цикла, после его передачи необходимо подать не менее 3-х дополнительных импульсов TCK.

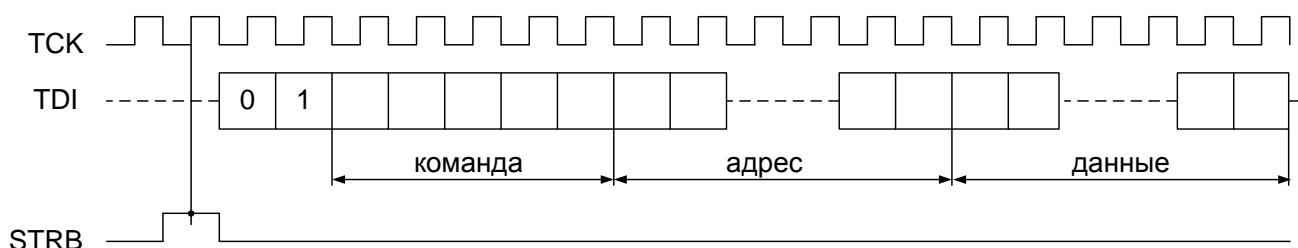


Рис. 4 Режим командного цикла

Режим цикла чтения (Рис. 5) инициируется стартовым символом 10, далее последовательно через вывод TDI передаются команда и адрес, затем вывод TDI переключается на выход и выводится содержимое сигнала занятости BUSY, который сигнализирует, наличие неоконченной операции программирования или стирания. Если BUSY в единице, то далее младшими разрядами вперёд выдвигаются данные соответствующей разрядности. Адрес 17 - разрядный для 8 - разрядного режима данных, и 16 - разрядный для 16 - разрядного режима данных. (В данной микросхеме используются только 16 - разрядные данные.)

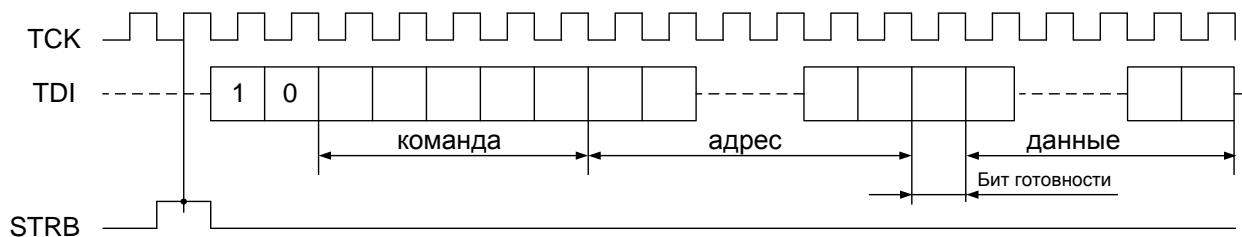


Рис. 5 Режим цикла чтения

Если в следующем за циклом чтения режиме текущий стартовый символ 11, то при последующих циклах со стартовыми символами 11 происходит повтор цикла чтения (

Рис. 6). Данные по адресу равному предыдущему адресу плюс единица выводятся на выход TDI последовательно младшими разрядами вперёд. После этого адрес автоматически инкрементируется и происходит ожидание следующего высокого уровня сигнала STRB. Если следующий за ним стартовый символ 11, то происходит повтор чтения, а затем инкремент адреса и так далее. Разрядность данных соответствует разрядности данных предыдущего цикла чтения.

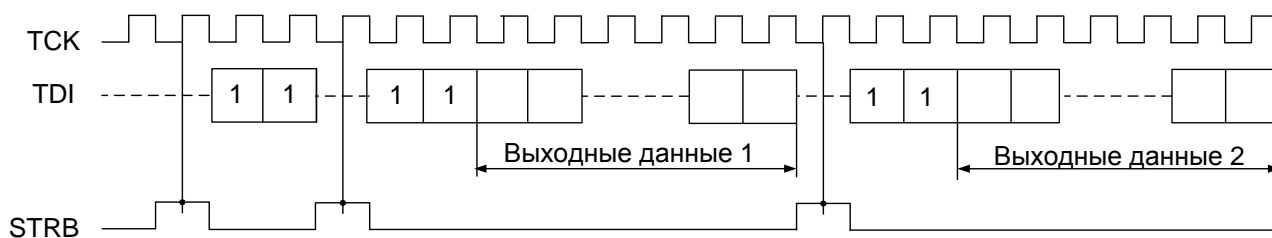


Рис. 6 Повтор цикла чтения

Если предыдущим режимом работы являлся режим полного цикла (цикла записи) и текущий стартовый символ 11, то происходит повтор цикла записи данных (Рис. 7), записываемых последовательно по линии TDI, по адресу равному предыдущему плюс единица. Затем происходит вывод на выход TDI состояния сигнала занятости BUSY (аналогично режиму полного цикла). После окончания записи адрес автоматически инкрементируется и ожидается следующий высокий уровень сигнала STRB. Если следующий стартовый символ 11, то происходит повтор записи, а затем инкремент адреса и так далее. Разрядность данных соответствует разрядности данных предыдущего полного цикла.

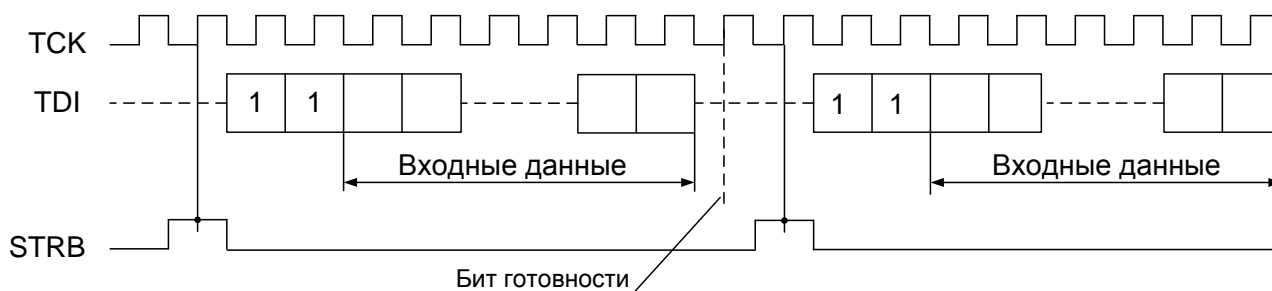


Рис. 7 Повтор цикла записи

Варианты, когда повтор цикла (стартовый символ 11) следует после командного цикла (стартовый символ 01) или задается первым считаются недопустимыми. Количество циклов повторения, следующих друг за другом, неограниченно.

Конфигурирование ПЛИС

Конфигурирование ПЛИС управляется контроллером конфигурационного устройства. Этот процесс включает в себя чтение конфигурационных данных из памяти, последовательную выдачу их на вывод DATA и обработку ошибок.

После окончания работы схемы сброса, контроллер в зависимости от состояния выводов AS_PS, LAST, EX_EN определяет режим и частоту конфигурирования.

После получения конфигурационных настроек контроллер проверяет готовность ПЛИС принимать конфигурационные данные мониторингом линий nSTATUS и CONF_DONE. Если ПЛИС готова к приёму данных (nSTATUS в единице, CONF_DONE в нуле), контроллер начинает чтение данных с нулевого адреса и передачу их на линию DATA с использованием сигнала DCLK.

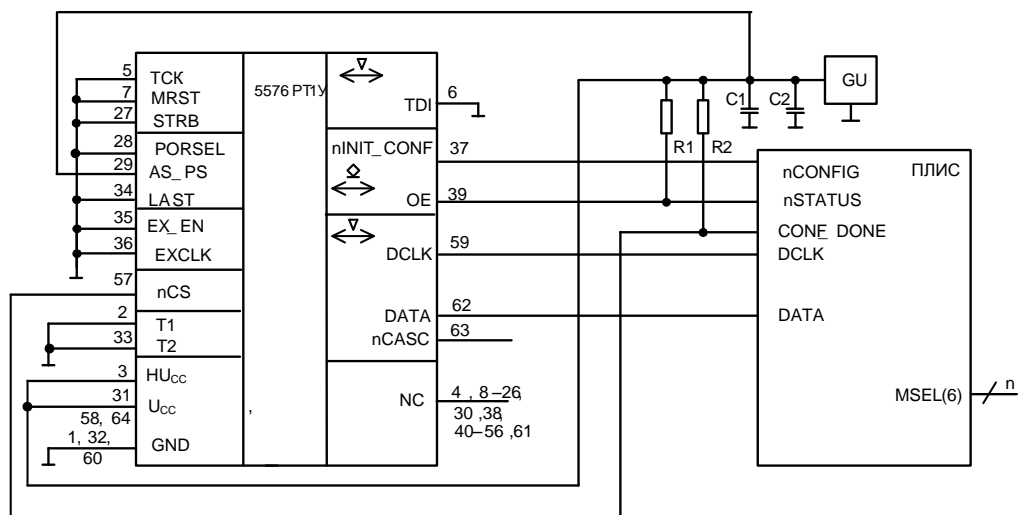
После того, как все необходимые данные переданы, ПЛИС переводит сигнал CONF_DONE в единицу, после чего конфигурационное устройство через 81 такт сигнала DCLK переводит линии DCLK (при AS_PS=0) и DATA (при LAST=1) в нуль.

Помимо этого контроллер отслеживает ошибки в процессе конфигурации. Ошибка CONF_DONE происходит, когда ПЛИС не устанавливает сигнал CONF_DONE в единицу за (как минимум) 64 DCLK после того, как последний конфигурационный бит был передан. Когда обнаруживается ошибка CONF_DONE, контроллер формирует импульс нуля на выводе OE длительностью 21 мкс (от 10 до 40 мкс по нормам ТУ), который сбрасывает nSTATUS в нуль. После освобождения вывода OE начинается повторное конфигурирование ПЛИС.

Ошибка в контрольной сумме (CRC) происходит, когда ПЛИС обнаруживает искажение в конфигурационных данных. Искажение может быть вызвано как шумами на плате, так и плохой разводкой конфигурационных сигналов. ПЛИС сигнализирует об ошибке контроллеру низким уровнем на выводе nSTATUS. Если опция «Auto-Restart Configuration After Error» разрешена в ПЛИС, то это переводит сигнал nSTATUS в единицу после таймаута и контроллер пытается реконфигурировать ПЛИС.

После окончания конфигурирования контроллер переводит линию DCLK в нуль, а линию DATA в третье состояние, если LAST=0, или в нуль, если LAST=1.

На Рис. 8 показано основное подключение конфигурационного устройства к ПЛИС.



- 5576PT1У – включаемая микросхема;
 GU – источник постоянного напряжения, (3,0 – 3,6) В;
 C1, C2 – конденсаторы, C1 = C2 = 0,1 мкФ ± 10 %;
 R1, R2 – резисторы, R1, R2 = определяются разработчиком,
 но не менее 1 кОм

Рис. 8 Схема включения ПЛИС (50 000 вентилях максимум) с одной конфигурационной микросхемой в режиме Active serial с временем задержки POR 100 мс

1 Особенности подключения конкретных семейств ПЛИС к конфигурационному устройству описаны в документации ПЛИС.

2 Вывод nINIT_CONF не требует подключения подтягивающего резистора. Если nINIT_CONF не применяется, то nCONFIG можно подключить к питанию.

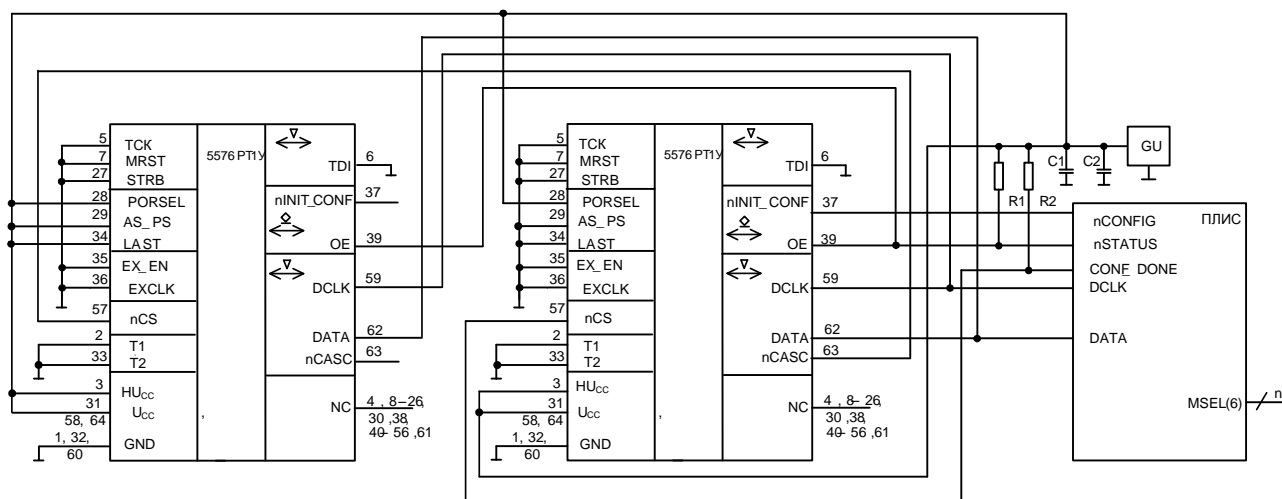
3 Выводы OE и nCS обязательно должны иметь подтягивающие резисторы к питанию, так как не имеют внутренних подтягивающих резисторов. Номинал резисторов определяется пользователем, но не менее 1 кОм.

4 Вывод LAST должен быть подключён к питанию.

5 Уровень сигнала на входах MSEL ПЛИС должен соответствовать выбранному режиму конфигурирования.

Если конфигурационные данные ПЛИС превышают ёмкость одного конфигурационного устройства, то используется каскадное включение нескольких конфигурационных устройств. В этом случае вывод nCASC предыдущего устройства подсоединяется к nCS следующего. Порядок устройств в цепочке важен. Последнее устройство должно иметь на входе LAST состояние логической единицы, у остальных устройств входы LAST=0. Если используется режим PS, то вывод AS_PS первого устройства в цепочке должен быть подтянут к земле, а у остальных устройств к питанию. Либо для всех устройств в цепочке применяется режим AS и в этом случае выводы всех конфигурационных устройств AS_PS=1. В случае использования вывода nINIT_CONF, только вывод первого устройства подключается к nCONFIG ПЛИС, у остальных устройств эти выводы остаются неподключенными. У последнего конфигурационного устройства в цепочке вывод nCASC остаётся неподключенным.

На Рис. 9 показано каскадное подключение конфигурационных устройств к ПЛИС.



- 5576PT1У – включаемая микросхема;
 GU – источник постоянного напряжения, (3,0 – 3,6) В;
 C1, C2 – конденсаторы, C1= C2= 0,1 мкФ ± 10 %;
 R1, R2 – резисторы, R1, R2 = определяются разработчиком, но не менее 1 кОм.

Рис. 9 Схема включения ПЛИС (более 50 000 вентилях) с несколькими конфигурационными микросхемами в режиме Passive serial (AS_PS = 0 для первой микросхемы в каскаде) с временем задержки POR 2 мс

1 Особенности подключения конкретных семейств ПЛИС к конфигурационному устройству описаны в документации ПЛИС.

2 Вывод nINIT_CONF не требует подключения подтягивающего резистора. Если nINIT_CONF не применяется, то nCONFIG можно подключить к питанию.

3 Выводы OE и nCS обязательно должны иметь подтягивающие резисторы к питанию, так как не имеют внутренних подтягивающих резисторов. Номинал резисторов определяется пользователем, но не менее 1 кОм.

4 Вывод LAST последнего конфигурационного устройства должен быть подключён к питанию, а остальных конфигурационных устройств к шине «Общий».

5 Может применяться режим AS (Active serial, AS_PS=1) для всех конфигурационных устройств, либо для первого PS (Passive serial, AS_PS=0) для всех остальных в цепочке AS.

6 Уровень сигнала на входах MSEL ПЛИС должен соответствовать выбранному режиму конфигурирования.

Временные характеристики последовательного интерфейса программирования

Временные диаграммы различных режимов работы приведены на Рис. 10 – Рис. 13.

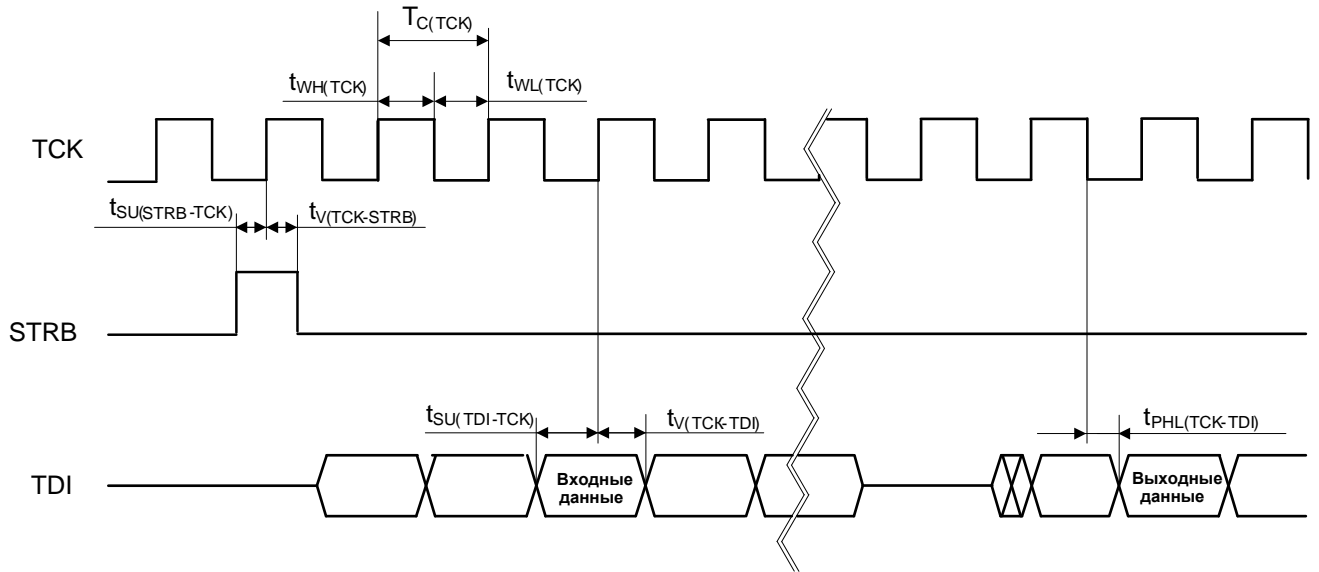


Рис. 10 Временная диаграмма цикла записи/чтения по последовательному интерфейсу программирования. (MRST=U_{IH})

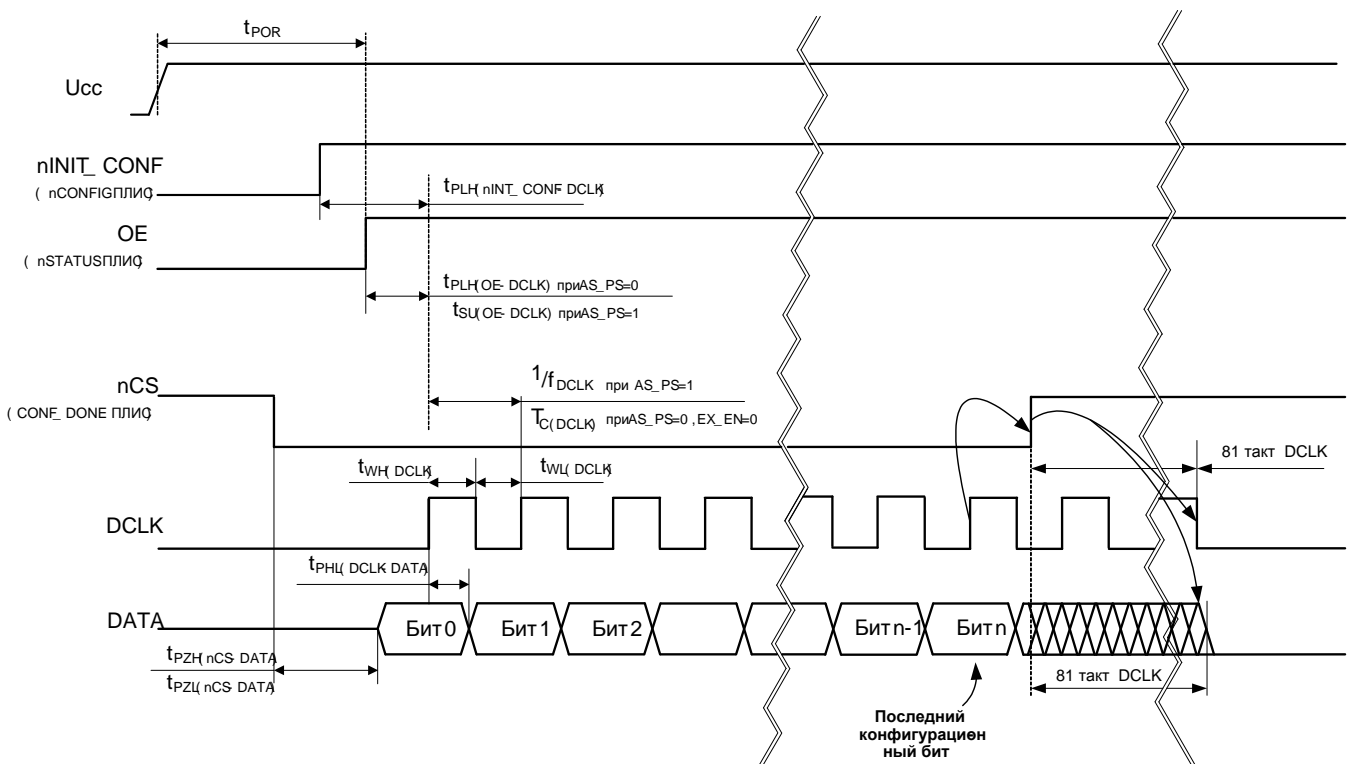


Рис. 11 Временная диаграмма режима конфигурирования ПЛИС одним конфигурационным устройством. DCLK с внутреннего генератора конфигурационного устройства или с ПЛИС

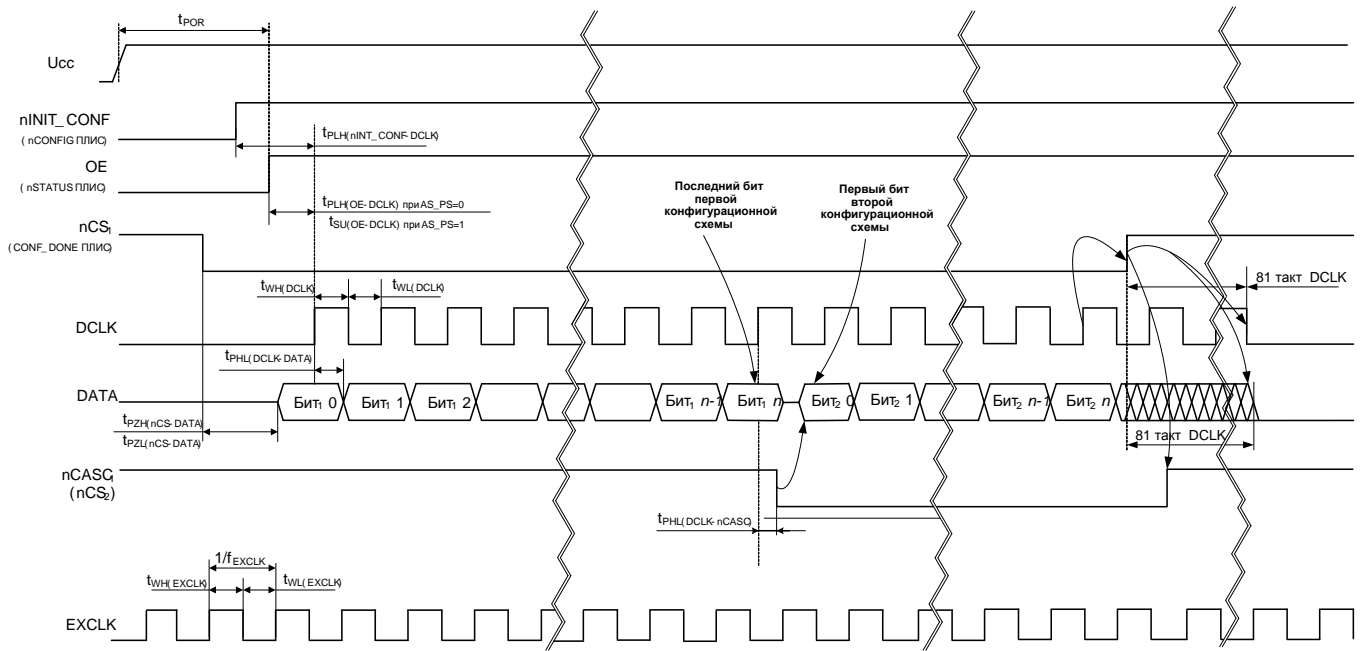


Рис. 12 Временная диаграмма режима конфигурирования ПЛИС двумя конфигурационными устройствами. DCLK - с вывода EXCLK

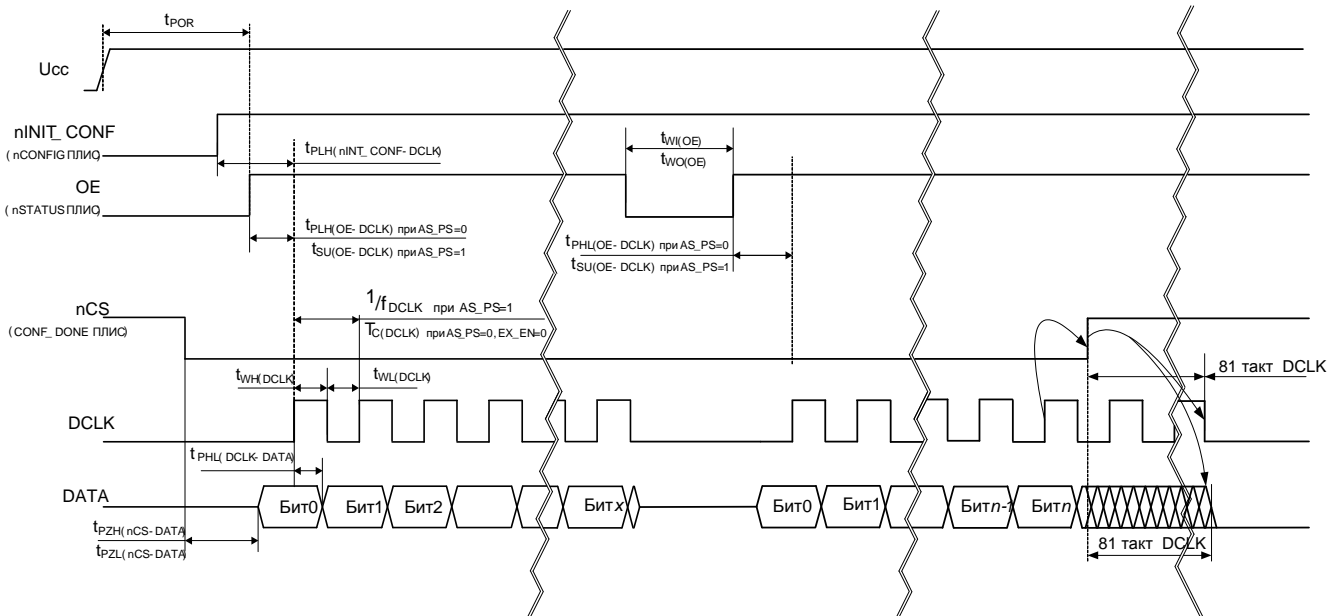


Рис. 13 Временная диаграмма режима конфигурирования ПЛИС одним конфигурационным устройством. Прерывание конфигурирования сигналом OE и реконфигурирование ПЛИС

Предельно-допустимые характеристики микросхемы

Таблица 4 Предельно-допустимые характеристики микросхемы

Наименование параметра, единица измерения	Буквенное обозначение параметра	Норма параметра			
		Предельно- допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
Напряжение питания, В	U_{CC}	3,0	3,6	минус 0,3	4,0
Входное напряжение высокого уровня, В	U_{IH}	2	3,6	–	4,0*
Входное напряжение низкого уровня, В	U_{IL}	0	0,8	минус 0,3*	–
Напряжение, прикладываемое к выходу в состоянии «Выключено», В	U_{OZ}	0	3,6	минус 0,3	4,0
Напряжение программирования, В	U_{PR}	17	18	–	–
Выходной ток высокого уровня, мА	I_{OH}	минус 4	–	минус 24	–
Выходной ток низкого уровня, мА	I_{OL}	–	4	–	24
Ток по выводу питания, мА	I_{CC}	–	–	–	100
Ток по общему выводу, мА	I_{GND}	–	–	минус 100	-
Частота следования входных импульсов EXCLK, МГц	f_{EXCLK}	–	33	–	–
Частота следования входных импульсов DCLK, МГц, при AS_PS= U_{IH}	f_{DCLK}	–	33	–	–
Длительность сигнала низкого уровня на входе OE, мкс	$t_{WI(OE)}$	0,4	–	–	–
Время установления синхросигнала DCLK после подачи входного сигнала OE, мкс	$t_{SU(OE-DCLK)}$	1	–	–	–
Длительность сигнала низкого/высокого уровня DCLK, нс, при AS_PS= U_{IH}	$t_{WL(DCLK)}$ $t_{WH(DCLK)}$	10	–	–	–

Наименование параметра, единица измерения	Буквенное обозначение параметра	Норма параметра			
		Предельно- допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
Длительность сигнала низкого/высокого уровня EXCLK, нс	$t_{WL(EXCLK)}$ $t_{WH(EXCLK)}$	10	–	–	–
Период следования импульсов тактовых сигналов на входе TCK, нс	$T_{C(TCK)}$	200	–	–	–
Длительность сигнала низкого/высокого уровня TCK, нс	$t_{WL(TCK)}$ $t_{WH(TCK)}$	50	–	–	–
Время установления сигнала STRB относительно сигнала TCK, нс	$t_{SU(STRB-TCK)}$	10	–	–	–
Время сохранения сигнала STRB относительно сигнала TCK, нс	$t_{V(TCK-STRB)}$	10	–	–	–
Время установления сигнала данных TDI относительно сигнала TCK, нс	$t_{SU(TDI-TCK)}$	10	–	–	–
Время сохранения сигнала данных TDI относительно сигнала TCK, нс	$t_{V(TCK-TDI)}$	10	–	–	–
Емкость нагрузки, пФ	C_L	–	20	–	–
<p>* – Допускается наличие на любых выводах импульсных напряжений низкого и высокого уровня длительностью $t_W \leq 10$ мкс и амплитудой $U_{LA} \geq$ минус 0,5 В, $U_{HA} \leq U_{CC} \pm 0,5$ В и со скважностью $q \geq 2$</p> <p><i>Примечание</i> – не допускается одновременное воздействие двух и более предельных режимов.</p>					

Электрические параметры микросхемы

Таблица 5 Электрические параметры микросхемы

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °C
		не менее	не более	
Выходное напряжение высокого уровня, В	U_{OH}	2,0	–	25, 100, минус 60
Выходное напряжение низкого уровня, В	U_{OL}	–	0,55	25, 100, минус 60
Входной ток высокого уровня, мкА	I_{IH}	–	10	25, 100, минус 60
Входной ток низкого уровня, мкА	I_{IL}	минус 10	–	25, 100, минус 60
Выходной ток высокого уровня в состоянии «Выключено», мкА	I_{OZH}	–	10	25, 100, минус 60
Ток утечки высокого уровня, мкА	I_{OLH}	–	10	25, 100, – 60
Выходной ток низкого уровня в состоянии «Выключено», мкА	I_{OZL}	минус 10	–	25, 100, минус 60
Ток утечки низкого уровня, мкА,	I_{OLL}	минус 10	–	25, 100, – 60
Ток потребления в режиме хранения, мА	I_{CCS}	–	5	25, 100, минус 60
Динамический ток потребления в режиме конфигурирования, мА	I_{OCC}	–	40	25, 100, минус 60
Период следования импульсов тактовых сигналов внутреннего генератора, нс	$T_{C(DCLK)}$	150	250	25, 100, минус 60

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °C
		не менее	не более	
Временные характеристики интерфейса конфигурирования				
Время задержки распространения сигнала DCLK относительно сигнала nINIT_CONF, мкс	$t_{PLH(nINIT_CONF - DCLK)}$	45	–	25, 100, минус 60
Время задержки распространения сигнала DCLK относительно сигнала OE, мкс, при $nCS = U_{IL}$	$t_{PLH(OE-DCLK)}$	45	–	25, 100, минус 60
Время задержки распространения сигнала nCASC относительно сигнала DCLK, нс	$t_{PHL(DCLK-nCASC)}$	–	20	25, 100, минус 60
Время задержки распространения сигнала DATA относительно сигнала DCLK, нс	$t_{PHL(DCLK-DATA)}$	–	20	25, 100, минус 60
Длительность сигнала низкого уровня на выходе OE при реконфигурировании, мкс	$t_{WO(OE)}$	10	40	25, 100, минус 60
Временные характеристики последовательного интерфейса программирования				
Время задержки распространения сигнала TDI относительно сигнала TCK, нс	$t_{PHL(TCK-TDI)}$	–	25	25, 100, минус 60
<i>Примечание</i> – Значения параметров приведены при предельно-допустимых режимах эксплуатации, указанных в Таблица 4.				

Справочные данные

Таблица 6 Справочные данные

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды (корпуса), °С
		не менее	не более	
Время задержки распространения POR, мс при: PORSEL = 0	t _{POR}	50	150	25, 100, минус 60
при: PORSEL = 1		1	5	
Время нарастания и спада входных сигналов, нс	t _{HL} t _{LH}	–	20	25, 100, минус 60
Время задержки распространения сигнала DATA относительно сигнала nCS, нс при: nINIT_CONF = U _{IH} , OE = U _{IH}	t _{PZL(nCS-DATA)} t _{PZH(nCS-DATA)}	–	20	25, 100, минус 60
Длительность сигнала низкого/высокого уровня DCLK, нс при: AS_PS = 0, EX_EN = 0	t _{WL(DCLK)} t _{WH(DCLK)}	50	–	25, 100, минус 60
при: AS_PS = 0, EX_EN = 1, f _{EXCLK} = 33 МГц		5	–	

Типовые зависимости

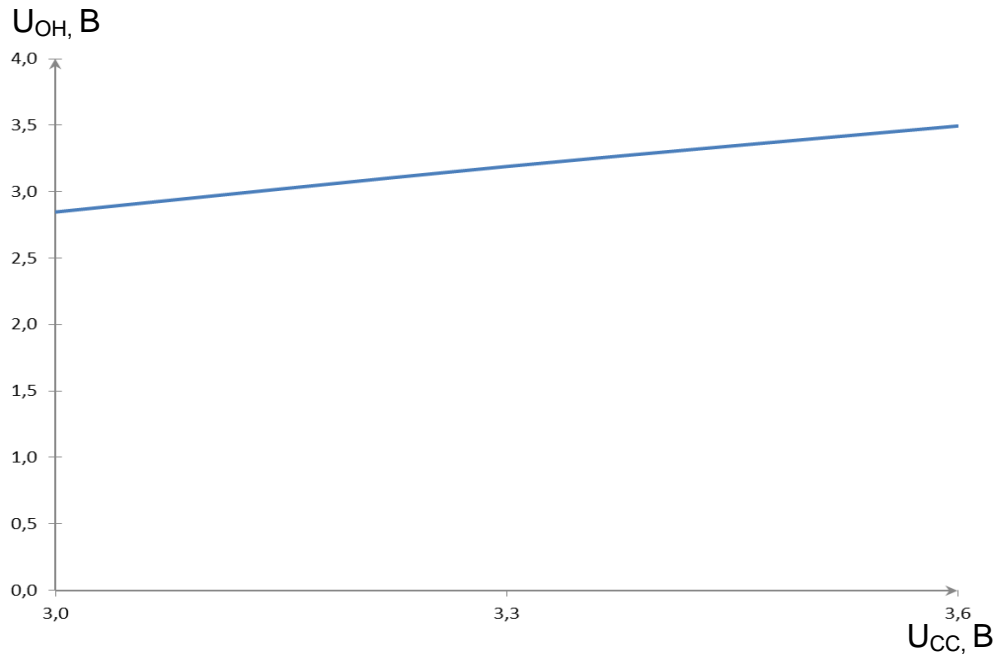


Рис. 14 Зависимость выходного напряжения высокого уровня, $U_{ОН}$, от напряжения питания, $U_{СС}$, при: $I_{ОН} = \text{минус } 4 \text{ мА}$, $T = \text{минус } 60 \text{ }^\circ\text{C}$

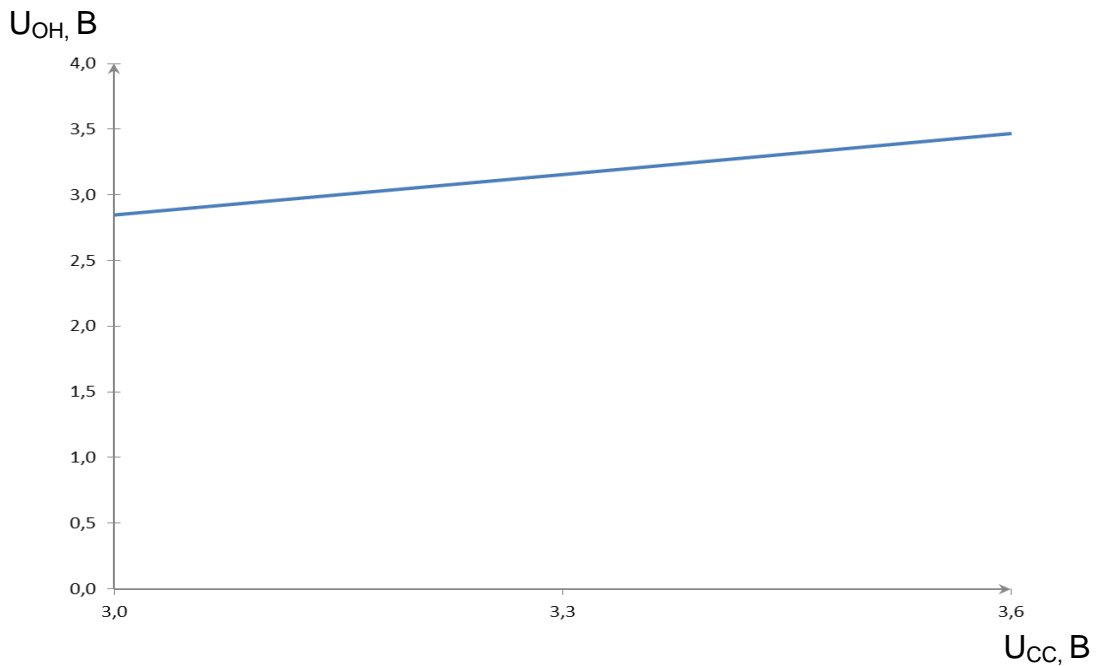


Рис. 15 Зависимость выходного напряжения высокого уровня, $U_{ОН}$, от напряжения питания, $U_{СС}$, при: $I_{ОН} = \text{минус } 4 \text{ мА}$, $T = 25 \text{ }^\circ\text{C}$

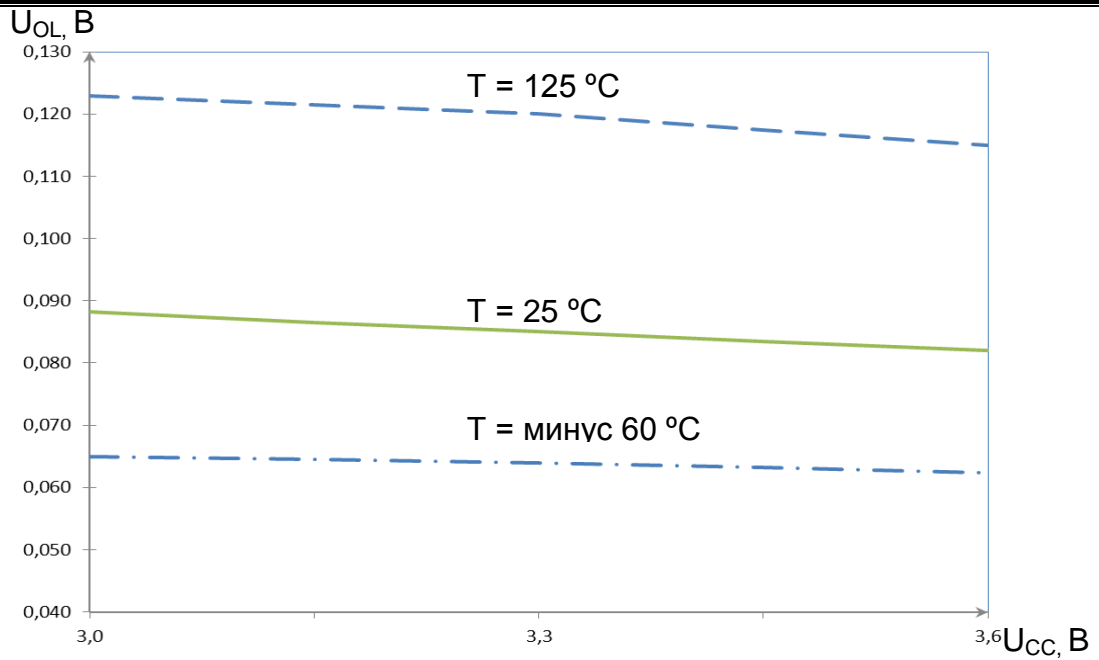


Рис. 16 Зависимость выходного напряжения низкого уровня, U_{OL} , от напряжения питания, U_{CC} , при: $I_{OL} = 4$ мА и $T =$ минус 60, 25 и 125 °С

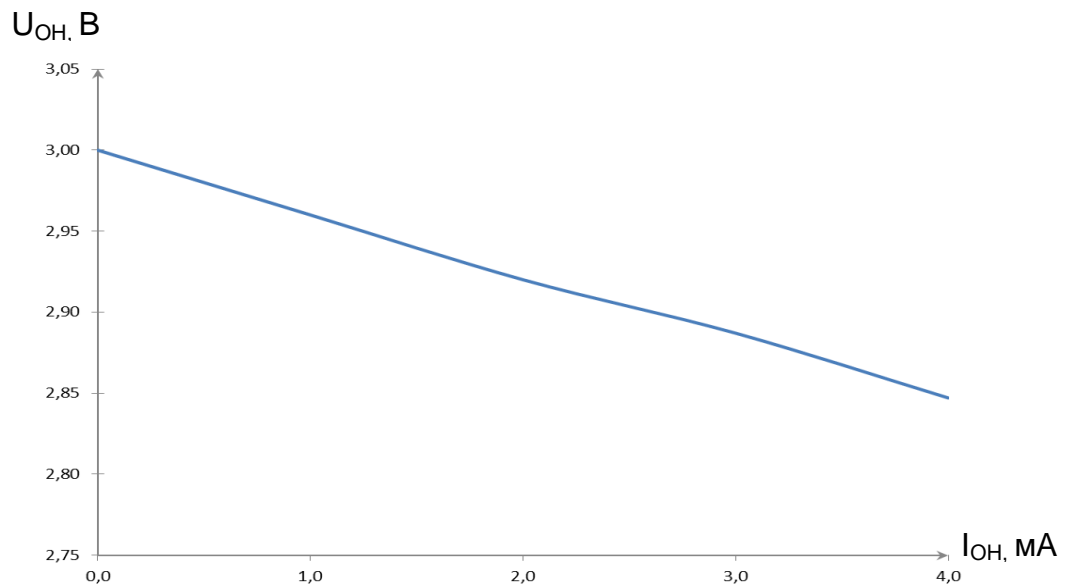


Рис. 17 Зависимость выходного напряжения высокого уровня, U_{OH} , от тока нагрузки, I_{OH} , при: $U_{CC} = 3,0$ В и $T = 25$ °С

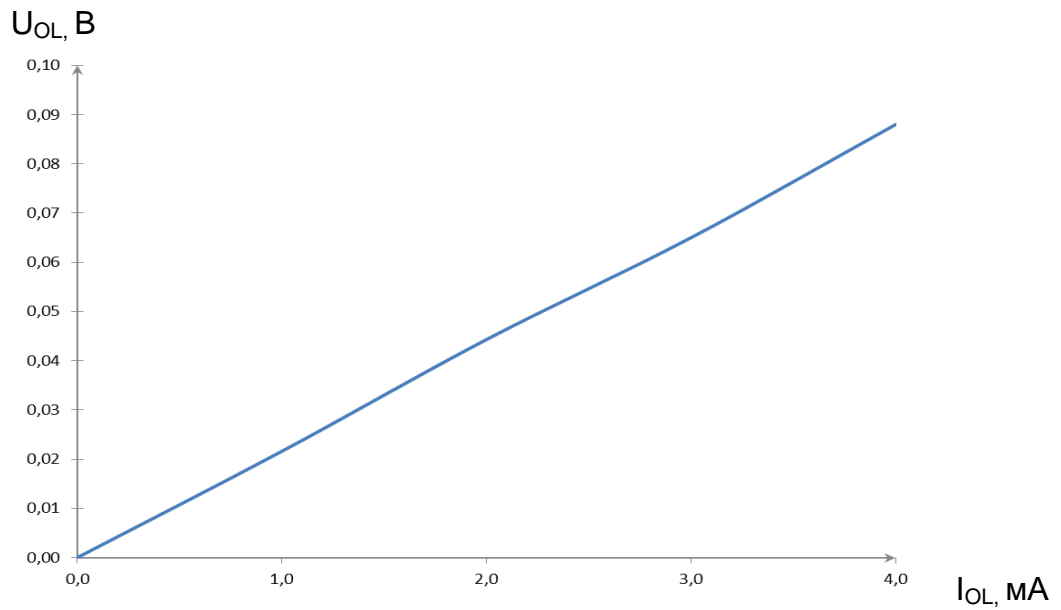


Рис. 18 Зависимость выходного напряжения низкого уровня, U_{OL} , от тока нагрузки, I_{OL} , при: $U_{CC}= 3,0$ В и $T = 25^{\circ}\text{C}$

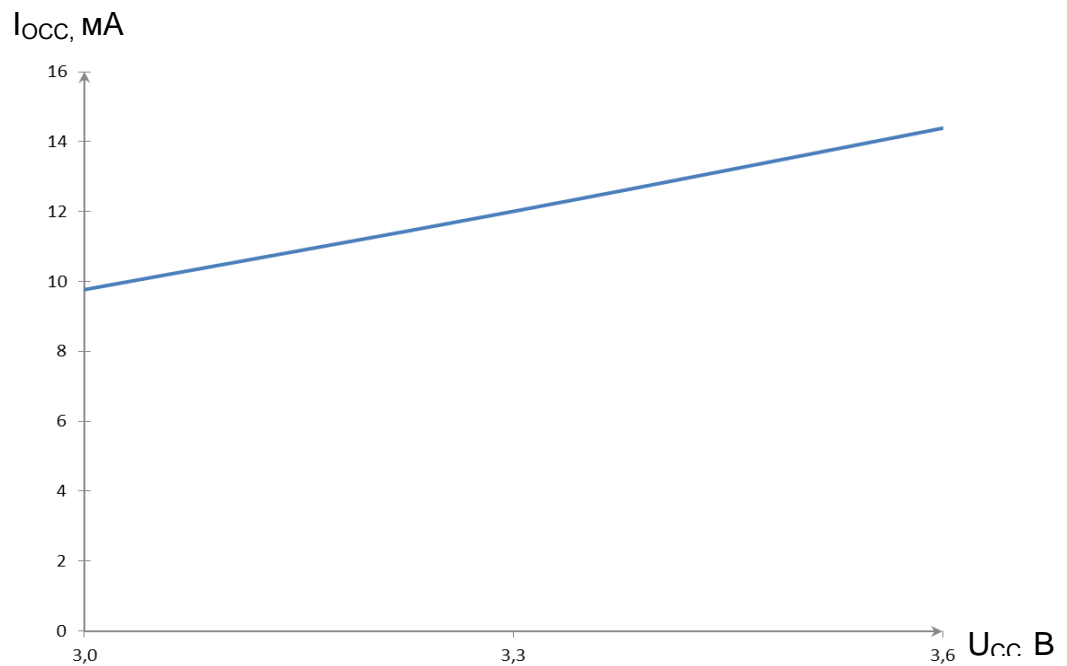


Рис. 19 Зависимость динамического тока потребления, I_{OSS} , от напряжения питания, U_{CC} , при $T = \text{минус } 60^{\circ}\text{C}$

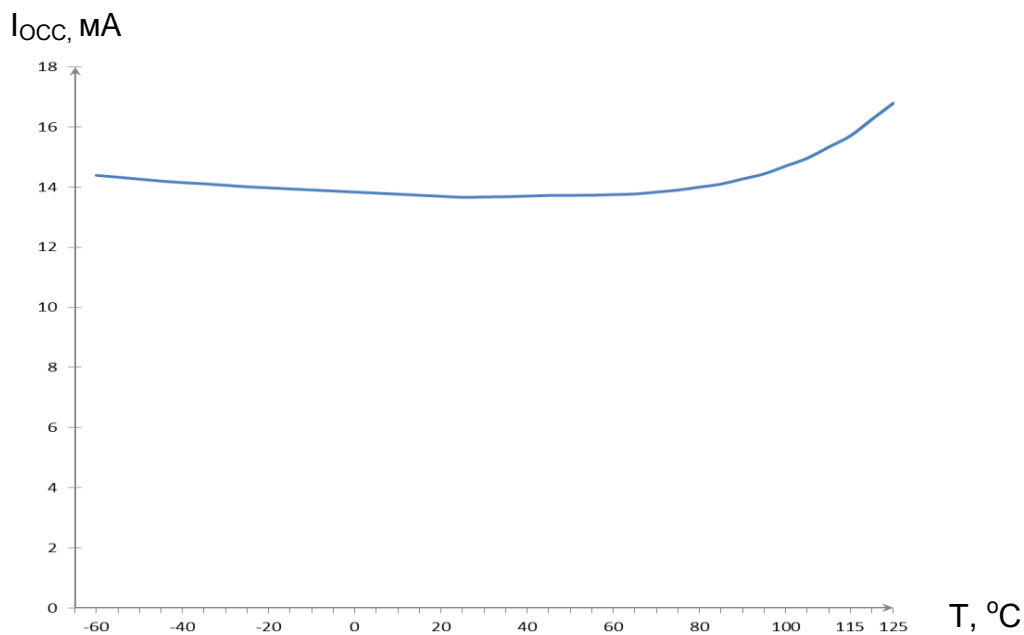


Рис. 20 Зависимость динамического тока потребления, I_{OCC} , от температуры, T , при $U_{CC} = 3,6$ В

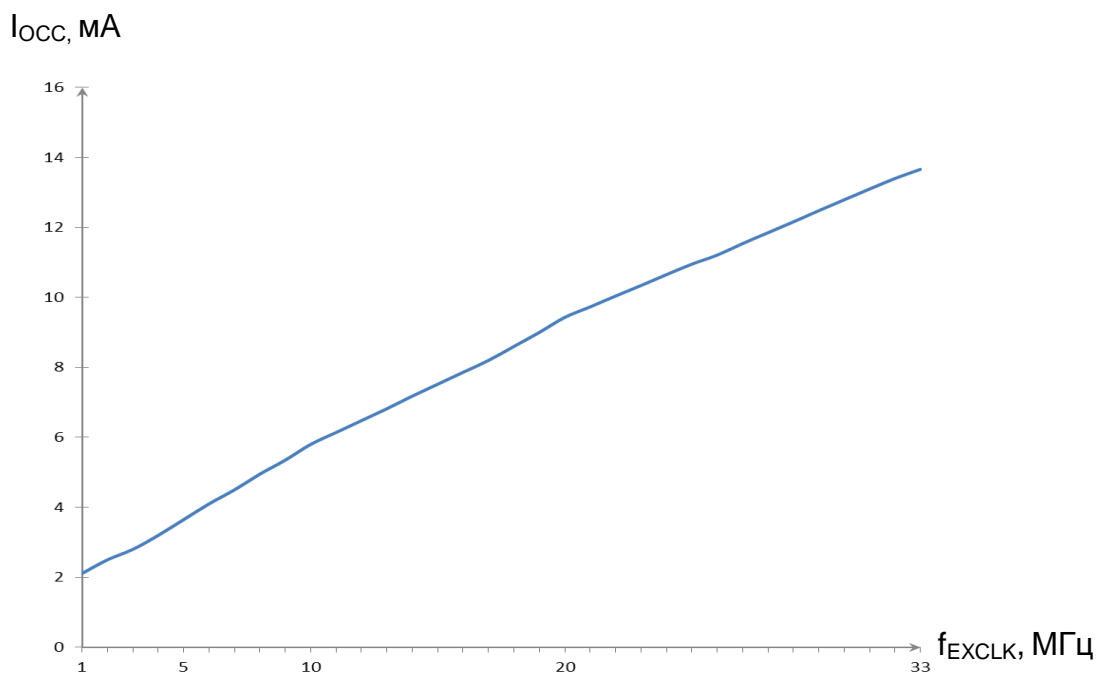


Рис. 21 Зависимость динамического тока потребления, I_{OCC} , от частоты следования входных импульсов EXCLK при: $U_{CC} = 3,6$ В и $T = 25^{\circ}\text{C}$

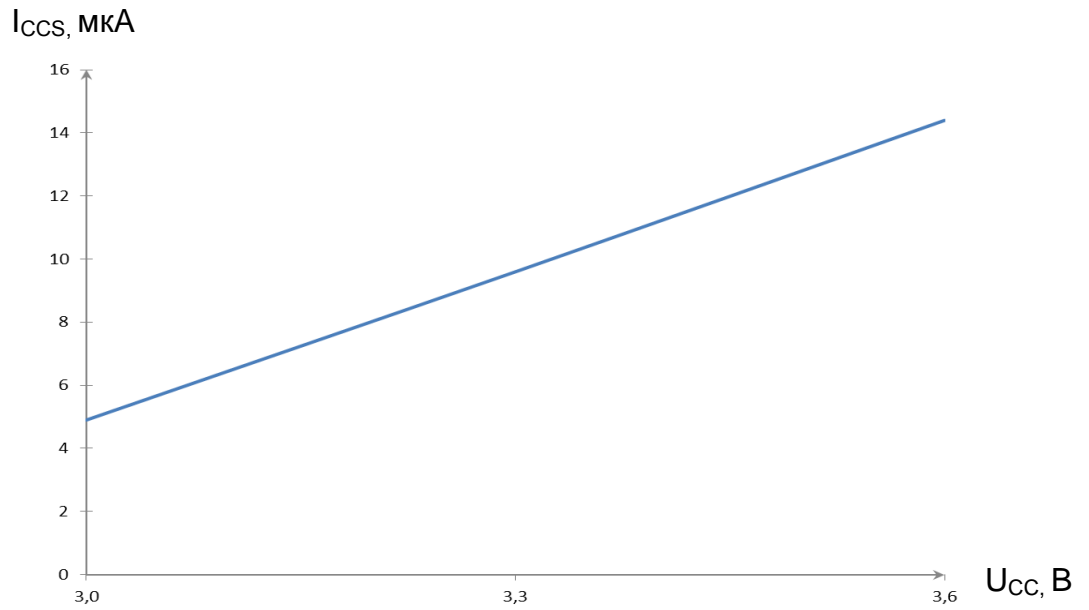


Рис. 22 Зависимость тока потребления в режиме хранения, I_{CCS} , от напряжения питания, U_{CCS} , при $T = \text{минус } 60^\circ\text{C}$

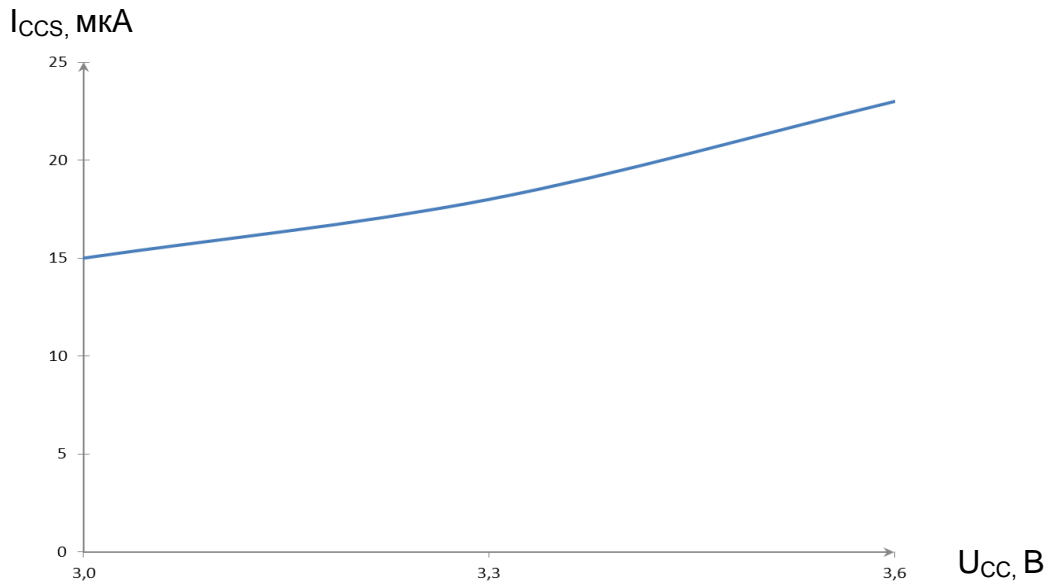


Рис. 23 Зависимость тока потребления в режиме хранения, I_{CCS} , от напряжения питания, U_{CCS} , при $T = 25^\circ\text{C}$

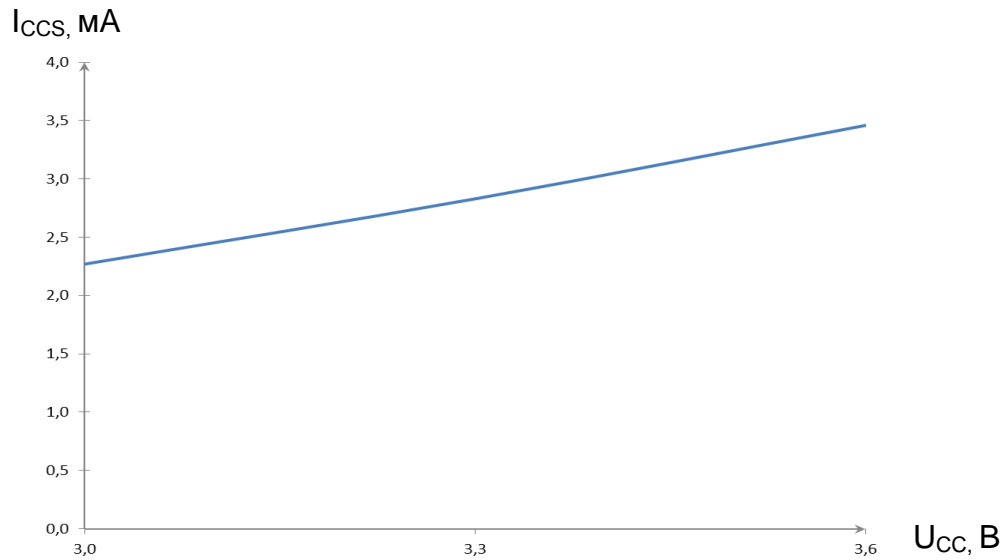


Рис. 24 Зависимость тока потребления в режиме хранения, I_{CCS} , от напряжения питания, U_{CCS} , при $T = 125^{\circ}\text{C}$

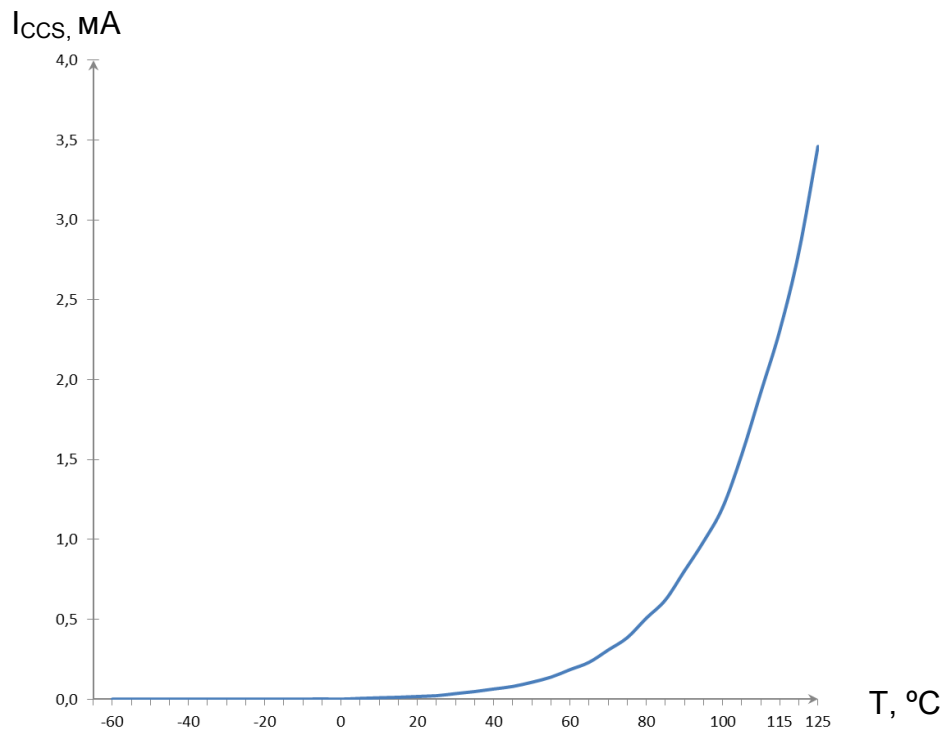


Рис. 25 Зависимость тока потребления в режиме хранения, I_{CCS} , от температуры, T , при $U_{CCS} = 3,6$ В

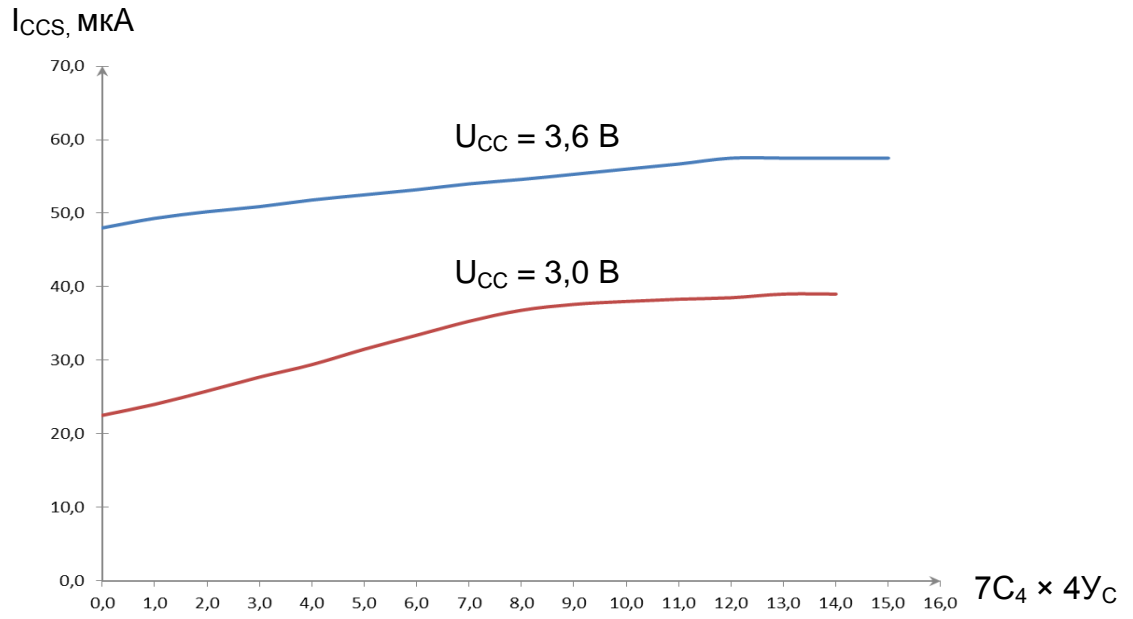


Рис. 26 Типовая зависимость тока потребления в режиме хранения, I_{CCS} , от уровня воздействия спецфакторов с характеристикой $7C_4 \times 4U_C$, при $U_{CC} = 3,0$ и $3,6 \text{ В}$

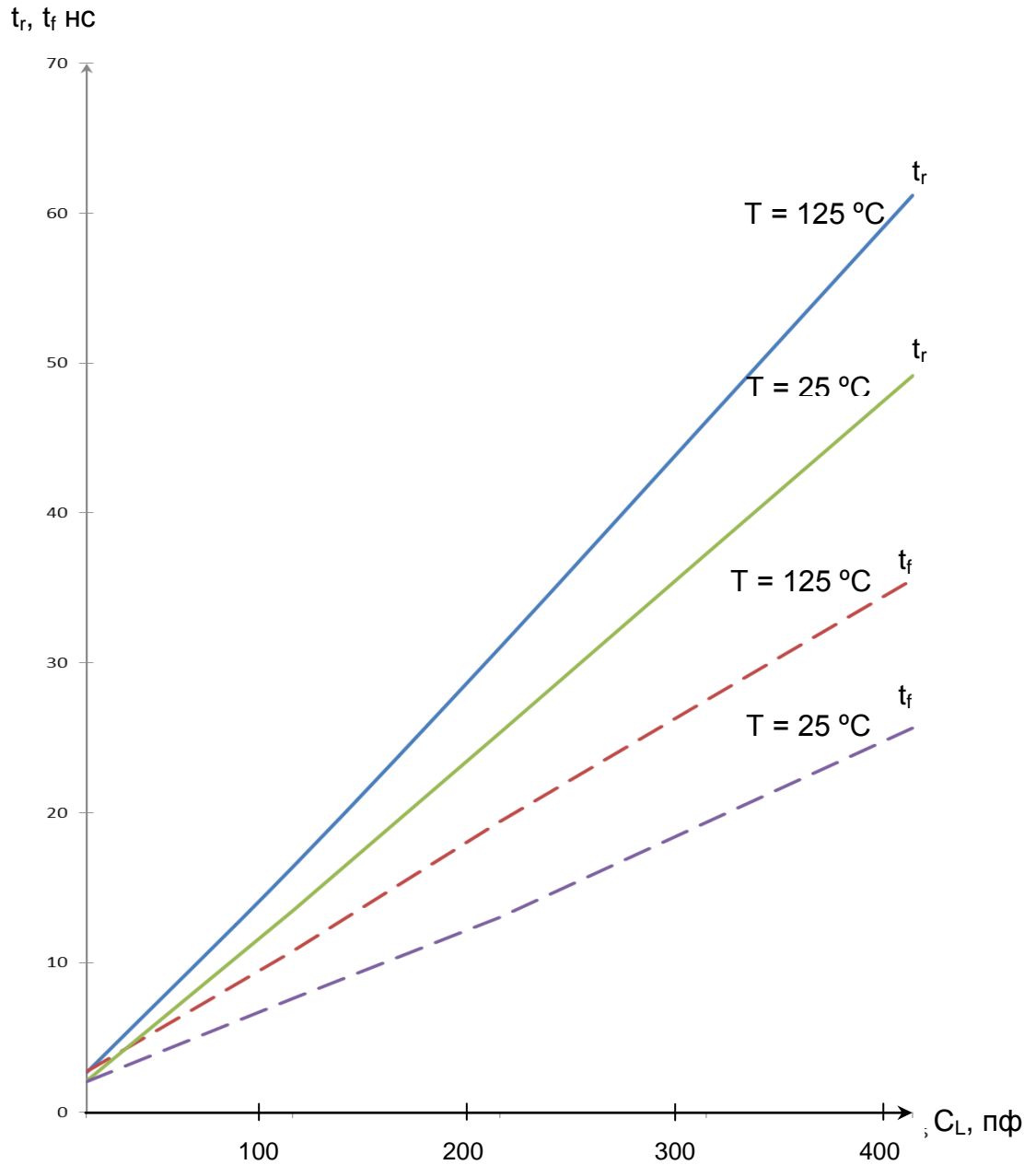


Рис. 27 Зависимость фронта нарастания, t_r , и спада t_f , выходных сигналов от ёмкости нагрузки, C_L при: $U_{CC} = 3,0$ В, $T = 25$ и 125 °C

Габаритный чертеж микросхемы

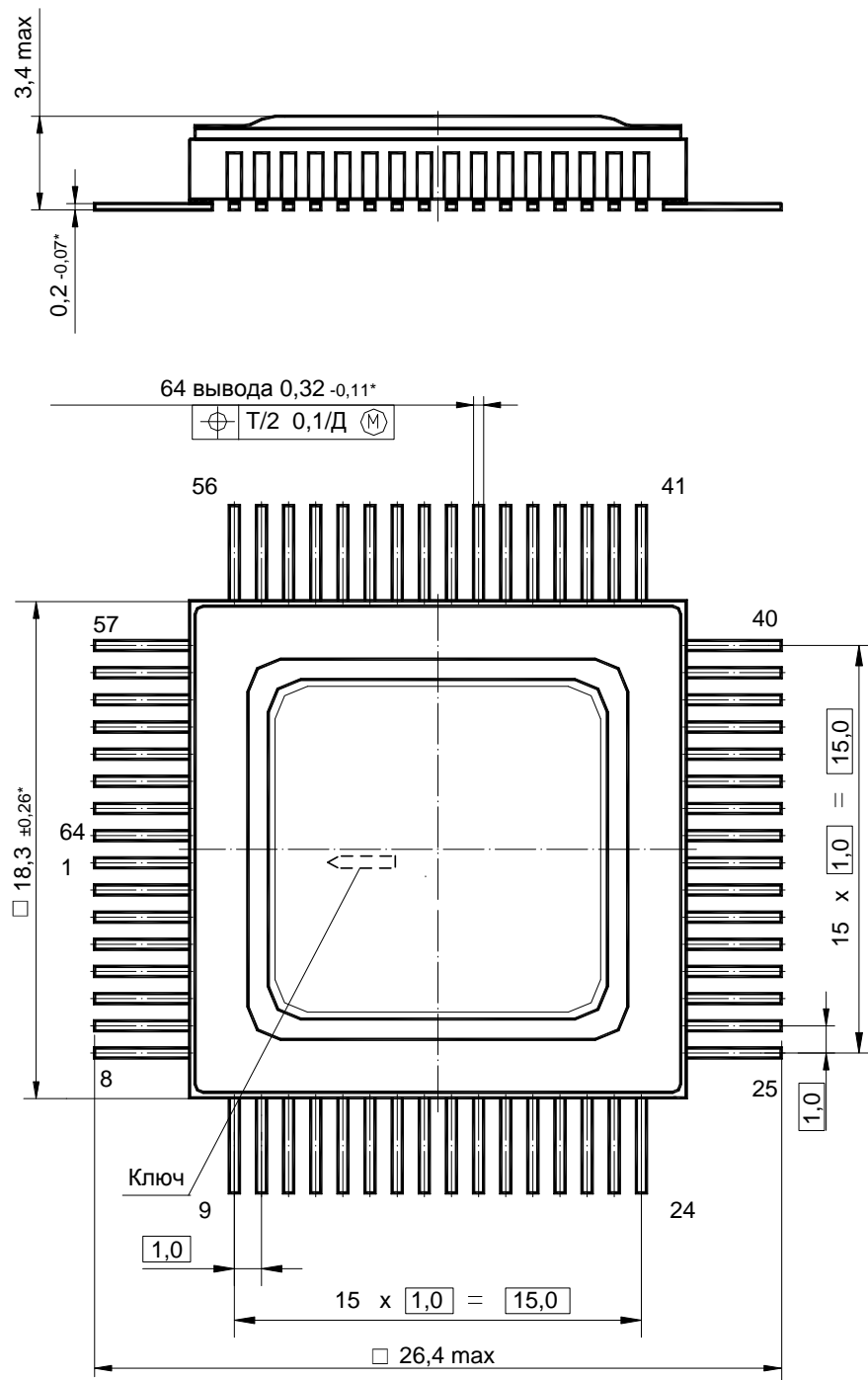


Рис. 28 Корпус 5134.64-6

Примечание – Ключ обозначен на обратной стороне корпуса.

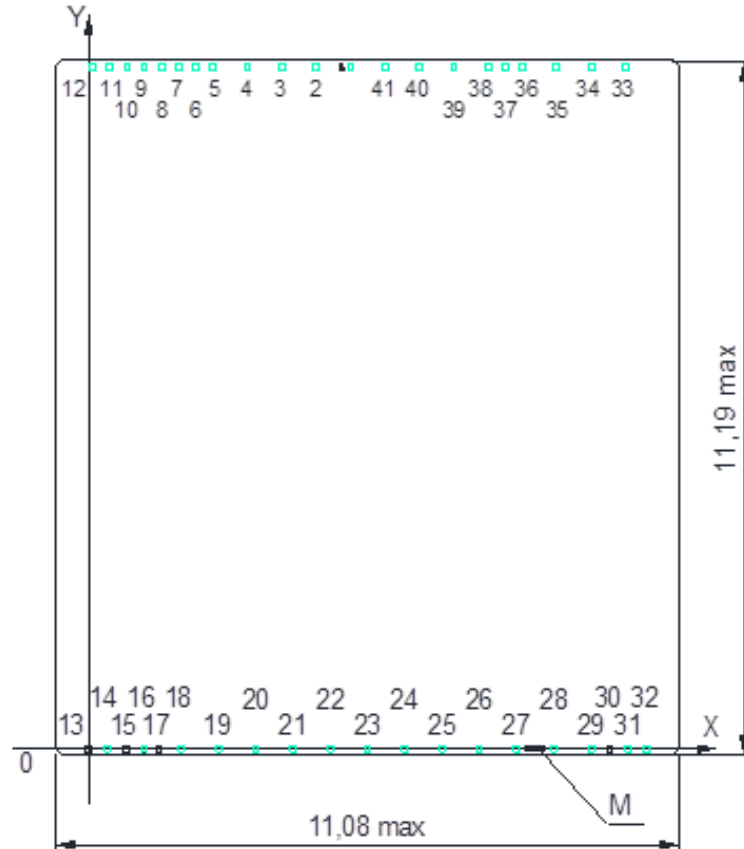


Рис. 29 Кристалл (бескорпусное исполнение).
Размеры КП 90 x 90 (мкм)

Примечания:

- 1 Номера контактных площадок (КП), кроме первой, присвоены условно. Расположение КП соответствует топологическому чертежу;
- 2 М – маркировка кристалла MLDR73, показана условно.

Информация для заказа

Обозначение	Маркировка	Тип корпуса	Температурный диапазон
5576PT1У	5576PT1У	5134.64-6	минус 60 – 100 °С
К5576PT1У	К5576PT1У	5134.64-6	минус 60 – 100 °С
К5576PT1УК	К5576PT1У●	5134.64-6	0 – 70 °С

Примечание

Микросхемы в бескорпусном исполнении поставляются в виде отдельных кристаллов, получаемых разделением пластины. Микросхемы поставляются в таре (кейсах) без потери ориентации. Маркировка микросхемы в бескорпусном исполнении – 5576PT1Н4 или К5576PT1Н4, наносится на тару.

Микросхемы с приемкой «ВП» маркируются ромбом.

Микросхемы с приемкой «ОТК» маркируются буквой «К».

Лист регистрации изменений

№ п/п	Дата	Версия	Краткое содержание изменения	№№ изменяемых листов
1	03.09.2012	0.0.3		
2	19.03.2013	0.1.0	Приведение в соответствие с ТУ. Предварительная спецификация.	По тексту
3	26.11.2013	1.1.0	Приведение в соответствие с ТУ	По тексту
4	15.01.2014	1.2.0	Исправление схемы микросхемы, выравнивание текста в Таблице 3, изменение рисунка 6	1, 8, 10
5	22.01.2014	1.3.0	Редактирование таблицы 3, текста	8, 10
6	31.01.2014	1.4.0	Внесение исправлений в описание, STROBE исправлено на STRB.	8-10
7	07.02.2014	1.5.0	Внесение исправлений и уточнений в описание, STROBE исправлено на STRB. Введены новые электрические параметры.	8-12, 18
8	12.02.2014	1.5.1	Внесение номеров к/п кристалла в таб. 1	3-6
9	08.05.2014	2.0.0	Добавление типономинала 5576PT1H4	По тексту
10	05.08.2014	2.1.0	Исправлена маркировка микросхем	32
11	14.10.2015	2.2.0	Внесены дополнения в раздел «Описание функционирования»	7