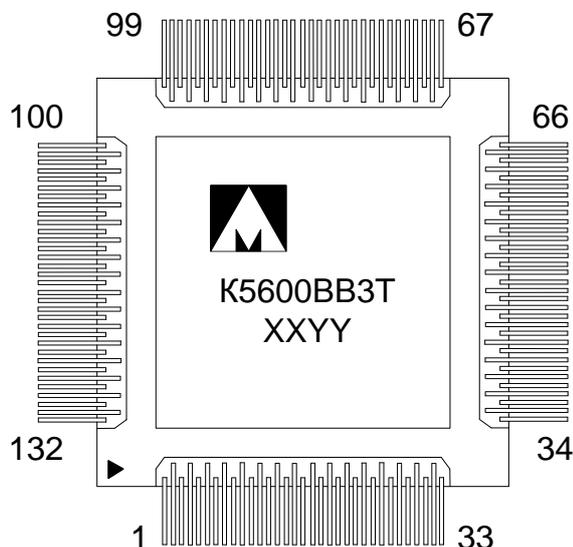




**Микросхема четырехканального коммутатора сетей
протокола IEEE 802.3/Ethernet 10/100 Мбит/с
5600BB3T, K5600BB3T, K5600BB3TK**

**Основные характеристики
микросхемы:**



- Напряжение источника питания, U_{CC} , $3,3 \pm 0,3$ В;
- Встроенный регулятор напряжения на 1,8 В для питания ядра;
- Внешний осциллятор 25 МГц;
- Встроенный умножитель тактовой частоты PLL для приемопередатчиков физического уровня;
- 4 порта приема\передачи физического и канального уровней;
- 1 дополнительный порт канального уровня;
- Встроенное ОЗУ данных размером 32 Кбайт;
- Встроенное ОЗУ адресов размером 16 Кбайт;
- Динамический ток потребления, I_{OCC} , не более 400 мА;
- Рабочий диапазон температур:

Обозначение	Диапазон
5600BB3T	минус 60 – 85 °С
K5600BB3T	минус 60 – 85 °С
K5600BB3TK	0 – 70 °С

XX – год выпуска

YY – неделя выпуска

Тип корпуса:

– 132-х выводной металлокерамический корпус 4229.132-3

Общее описание и области применения микросхемы

Коммутатор ЛВС предназначен для использования в устройствах локальной вычислительной сети на основе протоколов IEEE802.3/Ethernet для обеспечения коммутации оконечных устройств внутри сети на основе MAC адресов.

Микросхема функционирует как 4-х портовый коммутатор по стандарту IEEE 802.3 10Base-T и 100Base-TX в полном и полудуплексе. Каждый из четырех каналов обладает контроллерами канального и физического уровня. Кроме того, в состав микросхемы включен дополнительный порт на основе контроллера канального уровня. Передача и прием данных дополнительного порта осуществляется при помощи интерфейса MII, что позволяет использовать его как в качестве порта расширения для объединения двух микросхем, так и в качестве пятого канала коммутации данных при условии использования внешнего контроллера физического уровня.

Описание выводов

Таблица 1 – Описание выводов микросхемы

№ вывода корпуса	Обозначение сигнала	Тип вывода*	Функциональное назначение вывода
1	CLK_OUT	O	Тестовый вывод. Выход опорного синхросигнала приемопередатчиков PHY
2	DUCC	PWR IO	Питание цифровой части, +1,8 В при SHDN = «1» (выход при SHDN = «0»)
3	UCC	PWR IO	Питание аналоговой части, (в т.ч. питание регулятора напряжения из 3,3 В в 1,8 В)
4	GND	PWR IO	Общий цифровой части
5	GND	PWR IO	
6	LINK2_2	O	Выходы сигналов индикации
7	LINK1_2	O	
8	LINK3_2	O	
9	LINK4_2	O	
10	TXCLK	I	Интерфейс MII для порта расширения
11	TXD0	O	
12	TXD1	O	
13	TXD2	O	
14	TXD3	O	
15	TXEN	O	
16	RXCLK	I	
17	RXD0	I	
18	RXD1	I	
19	RXD2	I	
20	RXD3	I	
21	RXDV	I	
22	COL	I	
23	CRS	I	
24	TXER	O	
25	RXER	I	
26	LINK1_1	O	Выходы сигналов индикации
27	LINK3_1	O	
28	LINK2_1	O	
29	UCC	PWR IO	Питание аналоговой части, (в т.ч. питание регулятора напряжения из 3,3 В в 1,8 В)
30	LINK4_1	O	Выходы сигналов индикации
31	GND	PWR IO	Общий цифровой части
32	DUCC	PWR IO	Питание цифровой части, +1,8 В при SHDN = «1» (выход при SHDN = «0»)
33	GND	PWR IO	Общий цифровой части
34	GND A1	PWR IO	Общий приемопередатчиков PHY1

Спецификация 5600BB3T, K5600BB3T, K5600BB3TK

№ вывода корпуса	Обозначение сигнала	Тип вывода*	Функциональное назначение вывода
35	TXP_1	AO	Дифференциальный выход передатчика Ethernet порта 1
36	TXN_1	AO	
37	VDDA1	PWR IO	Питание приемопередатчиков PHY1, +3,3 В
38	GND A1	PWR IO	Общий приемопередатчиков PHY1
39	RXN_1	AI	Дифференциальный вход приемника Ethernet порта 1
40	CM_1	AO	Средняя точка приемопередатчика 1
41	TESTBUS A_1	AIO	Тестовый
42	RXP_1	AI	Дифференциальный вход приемника Ethernet порта 1
43	VDDA1	PWR IO	Питание приемопередатчиков PHY1, +3,3 В
44	GND A1	PWR IO	Общий приемопередатчиков PHY1
45	EXRES1_1	AIO	Выводы для подключения внешнего стабильного резистора для порта 1
46	GND A1	PWR IO	Общий приемопередатчиков PHY1
47	VDDA1	PWR IO	Питание приемопередатчиков PHY1, +3,3 В
48	GND A1	PWR IO	Общий приемопередатчиков PHY1
49	VDDA1	PWR IO	Питание приемопередатчиков PHY1, +3,3 В
50	GND	PWR IO	Общий цифровой части
51	VDDA3	PWR IO	Питание приемопередатчиков PHY3, + 3,3 В
52	GND A3	PWR IO	Общий приемопередатчиков PHY3
53	VDDA3	PWR IO	Питание приемопередатчиков PHY3, + 3,3 В
54	GND A3	PWR IO	Общий приемопередатчиков PHY3
55	EXRES1_3	AIO	Выводы для подключения внешнего стабильного резистора для порта 3
56	VDDA3	PWR IO	Питание приемопередатчиков PHY3, + 3,3 В
57	GND A3	PWR IO	Общий приемопередатчиков PHY3
58	RXP_3	AI	Дифференциальный вход приемника Ethernet порта 3
59	TESTBUS A_3	AIO	Тестовый
60	CM_3	AO	Средняя точка приемопередатчика 3
61	RXN_3	AI	Дифференциальный вход приемника Ethernet порта 3
62	GND A3	PWR IO	Общий приемопередатчиков PHY3
63	VDDA3	PWR IO	Питание приемопередатчиков PHY3, + 3,3 В
64	TXN_3	AO	Дифференциальный выход передатчика Ethernet порта 3
65	TXP_3	AO	
66	GND A3	PWR IO	Общий приемопередатчиков PHY3
67	UCC	PWR IO	Питание аналоговой части, (в т.ч. питание регулятора напряжения из 3,3 В в 1,8 В)
68	GND	PWR IO	Общий цифровой части

Спецификация 5600BB3T, K5600BB3T, K5600BB3TK

№ вывода корпуса	Обозначение сигнала	Тип вывода*	Функциональное назначение вывода
69	DUCC	PWR IO	Питание цифровой части, +1,8 В при SHDN = «1» (выход при SHDN = «0»)
70	OSC_OUT	AO	Выход для подключения кварцевого резонатора
71	GND		Общий цифровой части
72	SHDN	I	Вход выключения внутреннего регулятора напряжения LDO 018 0 – Регулятор работает в штатном режиме. Питание цифровой части микросхемы (1,8 В) осуществляется с выхода регулятора. На выводах DUCC подается пониженное питание с выхода регулятора. 1 – Регулятор выключен. Питание цифровой части микросхемы (1,8 В) осуществляется с выводов DUCC.
73	OSC_IN	AI	Вход подключения внешнего генератора или кварцевого резонатора
74	nRESET	I	Сброс устройства (0 – сброс микросхемы; 1-рабочий режим)
75	LINK1_3	O	Выходы сигналов индикации
76	LINK2_3	O	
77	LINK3_3	O	
78	LINK4_3	O	
79	MODE3	I	Входы выбора режима работы модулей PHY
80	MODE2	I	
81	MODE1	I	
82	MODE0	I	
83	CS	I	Вход «Выбор кристалла» (Chip Select)
84	SDO	O	Выход данных синхронного последовательного интерфейса
85	SDI	I	Вход данных синхронного последовательного интерфейса
86	SCLK	I	Вход синхронизации синхронного последовательного интерфейса
87	nTRST	I	Тестовый вывод. Вход сброса контроллера JTAG интерфейса. (активный низкий уровень)
88	TDO	O	Тестовый вывод. Выход данных Интерфейс диагностики и настройки
89	TDI	I	Тестовый вывод. Вход данных. Интерфейс диагностики и настройки
90	TMS	I	Тестовый вывод. Вход разрешения работы. Интерфейс диагностики и настройки
91	LINK1_4	O	Выходы сигналов индикации
92	TCK	I	Тестовый вывод. Вход сигнала синхронизации работы. Интерфейс диагностики и настройки

Спецификация 5600BB3T, K5600BB3T, K5600BB3TK

№ вывода корпуса	Обозначение сигнала	Тип вывода*	Функциональное назначение вывода
93	LINK3_4	O	Выходы сигналов индикации
94	LINK2_4	O	
95	UCC	PWR IO	Питание аналоговой части, (в т.ч. питание регулятора напряжения из 3,3 В в 1,8 В)
96	LINK4_4	O	Выходы сигналов индикации
97	GND	PWR IO	Общий цифровой части
98	DUCC	PWR IO	Выход внутреннего регулятора напряжения при SHDN = «0»; Питание цифровой части, +1,8 В, при SHDN = «1»
99	GND	PWR IO	Общий цифровой части
100	GND4	PWR IO	Общий приемопередатчиков PHY4
101	TXP_4	AO	Дифференциальный выход передатчика Ethernet порта 4
102	TXN_4	AO	
103	VDDA4	PWR IO	Питание приемопередатчиков PHY4, + 3,3 В
104	GND4	PWR IO	Общий приемопередатчиков PHY4
105	RXN_4	AI	Дифференциальный вход приемника Ethernet порта 4
106	CM_4	AO	
107	TESTBUSA_4	AIO	Тестовый
108	RXP_4	AI	Дифференциальный вход приемника Ethernet порта 4
109	VDDA4	PWR IO	
110	GND4	PWR IO	Общий приемопередатчиков PHY4
111	EXRES1_4	AIO	Выводы для подключения внешнего стабильного резистора для порта 4
112	GND4	PWR IO	Общий приемопередатчиков PHY4
113	VDDA4	PWR IO	Питание приемопередатчиков PHY4, + 3,3 В
114	GND4	PWR IO	Общий приемопередатчиков PHY4
115	VDDA4	PWR IO	Питание приемопередатчиков PHY4, + 3,3 В
116	GND	PWR IO	Общий цифровой части
117	VDDA2	PWR IO	Питание приемопередатчиков PHY2, + 3,3 В
118	GND2	PWR IO	Общий приемопередатчиков PHY2
119	VDDA2	PWR IO	Питание приемопередатчиков PHY2, + 3,3 В
120	GND2		Общий приемопередатчиков PHY2
121	EXRES1_2	AIO	Выводы для подключения внешнего стабильного резистора для порта 2
122	GND2	PWR IO	Общий приемопередатчиков PHY2
123	VDDA2	PWR IO	Питание приемопередатчиков PHY2, + 3,3 В
124	RXP_2	AI	Дифференциальный вход приемника Ethernet порта 2
125	TESTBUSA_2	AIO	

Спецификация 5600BB3T, K5600BB3T, K5600BB3TK

№ вывода корпуса	Обозначение сигнала	Тип вывода*	Функциональное назначение вывода
126	CM_2	АО	Средняя точка приемопередатчика 2
127	RXN_2	АI	Дифференциальный вход приемника Ethernet порта 2
128	GND A2	PWR IO	Общий приемопередатчиков PHY2
129	VDD A2	PWR IO	Питание приемопередатчиков PHY2, + 3,3 В
130	TXN_2	АО	Дифференциальный выход передатчика Ethernet порта 2
131	TXP_2	АО	
132	GND A2		Общий приемопередатчиков PHY2

Примечание

* – обозначение типа выводов:

- I – цифровой вход;
- O – цифровой выход;
- IO – цифровой вход/выход;
- AI – аналоговый вход;
- AO – аналоговый выход;
- AIO – аналоговый вход/выход;
- PWR IO – вход/выход питания.

Структурная блок-схема микросхемы и общее описание работы

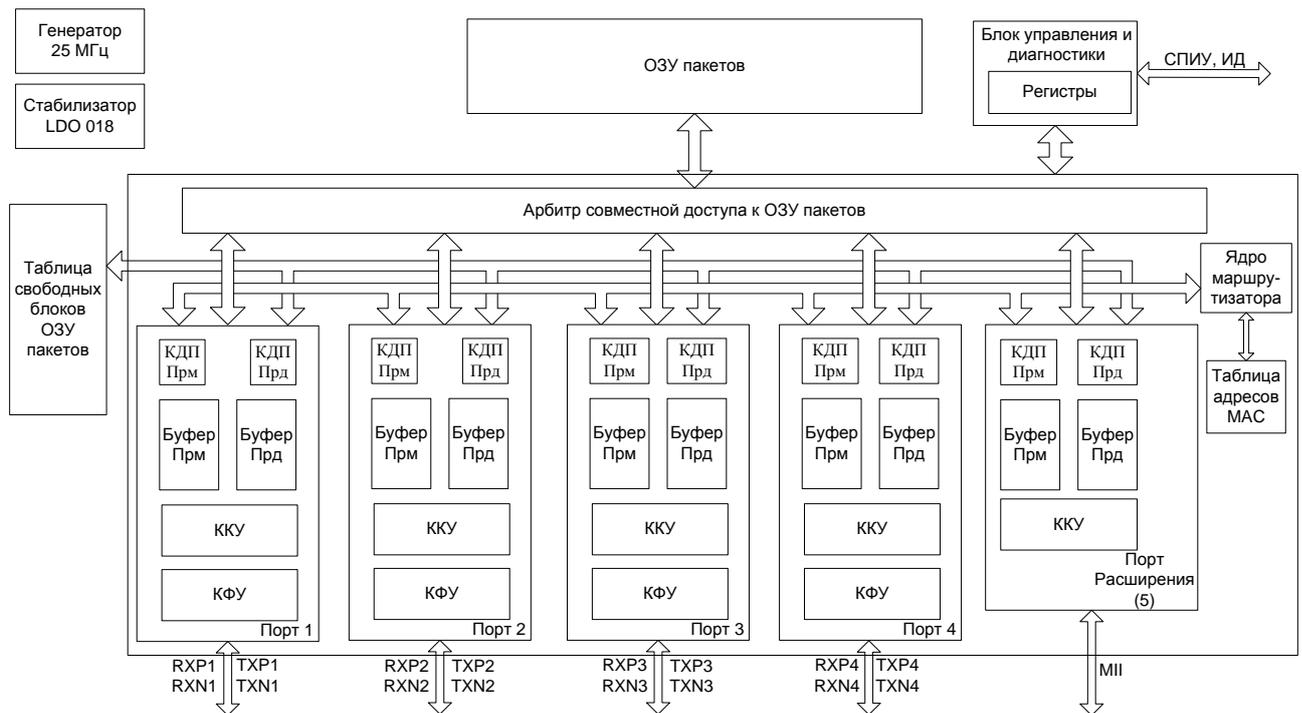


Рисунок 1 – Структурная блок-схема микросхемы

Описание работы микросхемы

В изделии реализованы четыре независимых порта приема-передачи Ethernet пакетов, каждый из которых содержит:

- Контроллеры доступа к памяти приемника (КДП Прм.) и передатчика (КДП Прд.);
- Промежуточные буферы принимаемых и передаваемых пакетов (на структурной схеме Буфер Прм. и Буфер Прд. соответственно);
- Контроллер стандарта IEEE 802.3 канального уровня (ККУ);
- Контроллер стандарта IEEE 802.3 физического уровня (КФУ).

Пятый порт структурно полностью повторяет четыре основных порта, за исключением блока КФУ. Алгоритм коммутации и доступа порта к ОЗУ пакетов также ничем не отличается от остальных четырех портов. Данный порт может быть использован как порт расширения, или, в случае подключения внешнего контроллера физического уровня, как дополнительный порт коммутатора.

Принятые пакеты каждого порта проверяются на отсутствие ошибок структуры пакета и контрольной суммы. В том случае, если пакет не содержит ошибок, он помещается в ОЗУ пакетов, флаг успешного приема пакета передается ядру коммутатора, прием пакета считается завершенным, приемник считается готовым для приема следующего пакета. В том случае, если в пакете обнаружены ошибки, пакет отбрасывается, память, занятая под уже принятые байты пакета, считается свободной.

Объем ОЗУ составляет 32 Кбайт, что позволяет одновременно хранить до 16-ти пакетов длиной до 2048 байт.

Для обеспечения коммутации пакетов в микросхеме реализована таблица адресов MAC размером 16 Кбайт. В данной таблице может одновременно содержаться информация о 2048 MAC адресах. При приеме пакета, в таблицу заносится новый MAC адрес источника пакета. На основе информации, хранящийся в таблице, происходит коммутация принятых пакетов.

Для управления микросхемой в ее состав включен контроллер синхронного последовательного интерфейса управления (СПИУ). Для тестирования и диагностики микросхемы реализован интерфейс диагностики (ИД).

Описание СПИУ приведено в разделе «Синхронный последовательный интерфейс управления (СПИУ)». Описание регистров, настраиваемых при помощи СПИУ, приведено в разделе «Внутренние регистры микросхемы».

В изделии реализована возможность доступа к ОЗУ адресов и данных по СПИУ. Доступ к памяти данных реализован в тестовых целях. Доступ к памяти адресов позволяет конфигурировать таблицу MAC адресов в соответствии с задачами пользователя. При этом, допустимо как читать и дополнять автоматически создаваемую таблицу адресов, так и, запретив портам обновлять записи, создать жестко заданную конфигурацию. Кроме того, при помощи регистров масок ретрансляции можно перенаправлять трафик в обход данных хранящихся в таблице.

Интерфейс диагностики интегрирован в микросхему исключительно для целей тестирования и диагностики. Для корректной эксплуатации микросхемы в рабочем режиме рекомендуется сбросить контроллер интерфейса диагностики, установив сигналы nTRST, TDI, TCLK и TMS в состояние 0.

Режимы работы микросхемы

Микросхема может функционировать на скорости 10 или 100 Мбит/сек в полном или полудуплексе, в режимах концентратора или коммутатора.

Управление режимом коммутации микросхемы может осуществляться при помощи внешнего вывода MODE3 или при помощи настройки масок ретрансляции портов. В режиме коммутатора адресация происходит на основе записей в таблице MAC адресов. В режиме концентратора все принятые пакеты передаются на все порты микросхемы, кроме того, с которого пакет был принят.

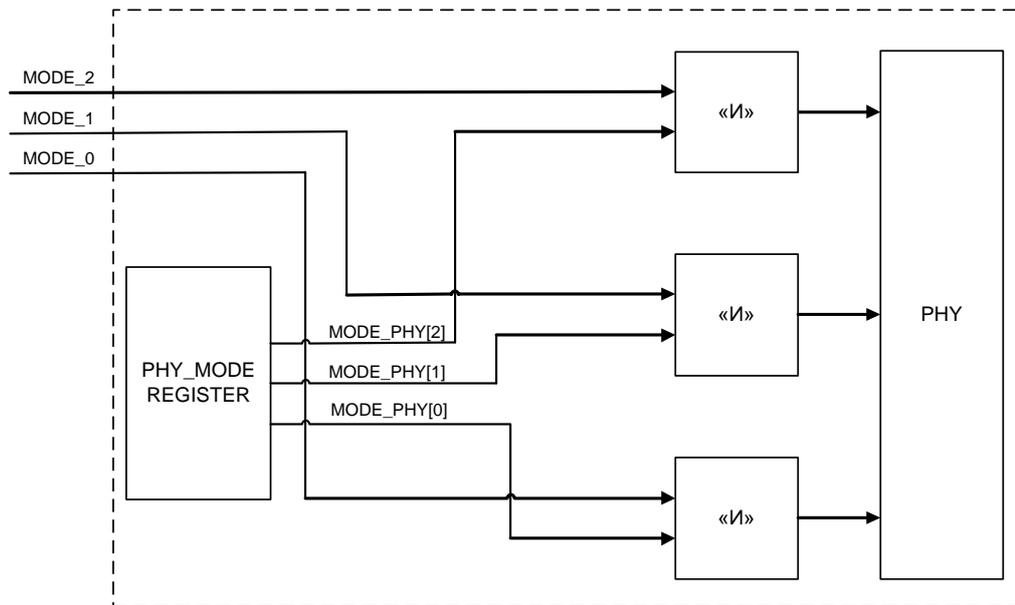


Рисунок 2 – Схема управления режимами работы блоков приемопередатчиков физического уровня

Управление режимами работы микросхемы может быть осуществлено либо при помощи задания кода режима на внешних выводах MODE2, MODE1, MODE0, либо при помощи внутренних регистров управления приемопередатчиками физического уровня PHY_MODES12 и PHY_MODES34. Внутри микросхемы коды режима с внешних выводов и с регистров управления объединены по «И» (Рисунок 2). Управление с внешних выводов считывается в течение миллисекунды после включения питания или вывода микросхемы из состояния сброса. Значение регистров в обоих случаях устанавливается в состояние по умолчанию «111» и не препятствует считыванию кода режима работы с внешних выводов. Напротив, полноценное управление режимами работы микросхемы при помощи регистров возможно, только если внешние выводы находятся в состоянии «111».

Значение управляющих кодов на внешних выводах микросхемы представлено ниже (Таблица 2). Значение управляющих кодов регистров PHY_MODESX представлено ниже (Таблица 3).

В том случае если значение выводов настройки и значение регистров установлено в «111» приемопередатчики физического уровня осуществляют автоматическое определение режима передачи данных. В этом случае, при подключении блоков приемопередатчиков к линии происходит обмен сообщениями, в результате которого приемопередатчики на обоих концах линии автоматически настраиваются в одинаковый режим передачи данных.

При помощи управляющих регистров возможно задание индивидуального режима работы для каждого порта микросхемы (кроме дополнительно пятого порта). Для этого необходимо выполнить следующую последовательность действий:

- 1 Задать при помощи регистра PHY_MODES необходимый режим работы приемопередатчиков в соответствии с таблицей ниже (Таблица 2).
- 2 Выключить приемопередатчики при помощи битов программного сброса регистра PHY_MODES. Запись в регистр может быть осуществлена одновременно с заданием режимов (см. п. 2).
- 3 Включить приемопередатчики при помощи битов программного сброса регистра PHY_MODES.

После выполнения описанной последовательности действий, если осуществляется переход из жестко заданного режима в режим автоматического определения скорости

передачи данных на линии, порт начнет процесс автоподстройки, после окончания которой будет настроен на оптимальную скорость передач. Если происходит переход к жестко заданному режиму, порт будет готов к работе сразу после его включения.

Таблица 2 – Коды задания режимов работы микросхемы на внешних выводах MODE3, MODE2, MODE1, MODE0

MODE3	MODE2, MODE1, MODE0	Режим работы
<i>0</i>	000	Концентратор 10 Мбит/сек, полудуплекс
<i>0</i>	001	Концентратор 10 Мбит/сек, дуплекс
<i>0</i>	010	Концентратор 100 Мбит/сек, полудуплекс
<i>0</i>	011	Концентратор 100 Мбит/сек, дуплекс
<i>0</i>	100	Зарезервировано
<i>0</i>	101	Зарезервировано
<i>0</i>	110	Зарезервировано
<i>0</i>	111	Концентратор Автоматическое определение состояния несущей
<i>1</i>	000	Коммутатор 10 Мбит/сек, полудуплекс
<i>1</i>	001	Коммутатор 10 Мбит/сек, дуплекс
<i>1</i>	010	Коммутатор 100 Мбит/сек, полудуплекс
<i>1</i>	011	Коммутатор 100 Мбит, дуплекс
<i>1</i>	100	Зарезервировано
<i>1</i>	101	Зарезервировано
<i>1</i>	110	Зарезервировано
<i>1</i>	111	Коммутатор Автоматическое определение состояния несущей

Таблица 3 – Коды задания режимов работы приемопередатчиков регистров PHY_MODESXX

MODEPHY_X[2:0]	Режим работы
000	10 Мбит/сек, полудуплекс
001	10 Мбит/сек, дуплекс
010	100 Мбит/сек, полудуплекс

011	100 Мбит/сек, дуплекс
100	Зарезервировано
101	Зарезервировано
110	Зарезервировано
111	Автоматическое определение состояния несущей

Блоки контроллеров канального уровня

В микросхеме содержится 5 блоков контроллеров канального уровня (ККУ). Каждый блок ККУ полностью соответствует стандарту IEEE 802.3/Ethernet и поддерживает работу в полно- и полудуплексном режимах (кроме ККУ пятого порта), прием и обработку пакетов, обнаружение ошибок, в том числе верификацию контрольной суммы принятых пакетов и формирование пакетов для передачи в соответствии со стандартом.

Каждый блок ККУ разделен на приемный модуль и передающий модуль.

Приемный модуль отвечает за прием пакетов, проверку их целостности и контрольной суммы, передачу MAC адресов блоку коммутации и информационной части пакета контроллеру доступа в ОЗУ пакетов.

Передающий модуль отвечает за считывание пакетов из ОЗУ пакетов, формирование пакета, обработку коллизий и поздних коллизий в соответствии со стандартом 802.3.

Прием пакетов

При наличии свободного места в ОЗУ принятых пакетов приемные модули портов находятся в состоянии ожидания входящих пакетов. При получении сигнала о начале приема пакета от блока контроллера физического уровня и завершении поля синхронизации начинается прием пакета.

Принятые данные передаются контроллеру доступа к ОЗУ и записываются в память. Если в процессе приема пакета произошла ошибка контрольной суммы, либо принятый пакет не удовлетворяет формату Ethernet пакетов, приемник переходит в режим ожидания, и память, занятая под уже принятые данные, считается свободной. Ретрансляция всех пакетов, в том числе и ошибочных, может быть включена при помощи бита ERR_EN регистра MAC_RX_CTRL.

Обработка коллизии в режиме полудуплексной работы аналогична приему пакета с ошибкой, т.е. приемник прекращает прием до момента обнуления сигналов CRC и COL от приемопередатчика физического уровня, данные принятые до момента возникновения коллизии отбрасываются.

В процессе приема происходит разделение данных и управляющей информации пакета. Управляющая информация пакета хранится в специальных регистрах до полного приема пакета. Если пакет считается корректным, управляющая информация и информация о расположении пакета в ОЗУ пакетов передаются в модуль коммутации пакетов вместе с запросом на коммутацию.

После обработки пакета (пакет отброшен, либо передан на коммутацию), принимающий модуль ККУ переходит в режим ожидания следующего пакета.

Передача пакетов

В случае успешного приема пакета и его коммутации на один или несколько портов микросхемы флаг готовности пакета для передачи и данные о его расположении в ОЗУ

пакетов передаются на передающие модули ККУ портов, на которые принятый пакет был предназначен.

На входах передатчика каждого порта реализована очередь передаваемых пакетов. В очереди может одновременно храниться данные о четырех передаваемых пакетах. Если передатчик не успевает обработать передаваемые пакеты с той скоростью, с которой они на него поступают, самые старые пакеты отбрасываются, и место, которое они занимают в памяти, считается свободным. Такая ситуация может возникнуть в следующих случаях:

- 1 Одновременный поток данных с нескольких портов на один.
- 2 Поток порта, работающего на скорости 100 Мбит/сек, предназначается на порт, работающий со скоростью 10 Мбит/сек.
- 3 В режиме полудуплекса, если среда передачи передающего порта перегружена.

Если в очереди передаваемых пакетов передающего модуля ККУ имеется одна или более записей, передатчик начинает формирование пакета для передачи. Первыми передаются преамбула и поле разделителя в соответствии со стандартом IEEE802.3/Ethernet. Далее передаются адреса источника, назначения и поле длины/типа пакета в том же порядке, в котором они были приняты. Далее передаются данные пакета и поле контрольной суммы.

В режиме работы в полудуплексе, в случае возникновения коллизии, определяется ее тип. Если это «поздняя» коллизия пакет отбрасывается. Время, после которого коллизия считается «поздней» определяется регистром CollWindow. Если произошла обычная коллизия, передача пакета прерывается, после выдерживания случайной паузы, передатчик делает еще одну попытку передать пакет. Количество попыток передачи пакета, после которых пакет отбрасывается, и передатчик переходит к следующему пакету, определяется полем RTY_lim регистра MAC_TX_CTRL.

Максимальная и минимальная длины пакетов задаются регистрами Min_Frame_h, Min_Frame_l, Max_Frame_h, Mac_Frame_l. В устройстве реализована возможность дополнения пакета нулевыми символами до минимального размера, в том случае, если передаваемый пакет меньше. Данная возможность может быть настроена битом PAD_EN регистра MAC_TX_CTRL. По умолчанию эта функция отключена.

При передаче двух и более пакетов подряд, между пакетами выдерживается пауза, равная 9,6 мкс для 10 Мбит/сек и 0,96 мкс для 100 Мбит/сек. Время межпакетного интервала, выраженное в тактах рабочей частоты микросхемы (25 МГц), может быть настроено в регистрах IPG_h и IPG_l.

Блоки контроллеров физического уровня

Модули контроллеров физического уровня (КФУ) стандарта Ethernet/IEEE 802.3 способны обеспечивать прием и передачу данных в одном из следующих режимов:

- 10Base-T FD (full duplex – полный дуплекс);
- 10Base-T HD (half duplex – полудуплекс);
- 100Base-TX FD (full duplex – полный дуплекс);
- 100Base-TX HD (half duplex – полудуплекс).

В модулях реализована возможность автоматического определения состояния линии обеспечивающая возможность согласования скорости и режима передачи данных с оппонентом и настройку модулей на оптимальный режим работы.

С помощью регистров блока управления и диагностики можно задать основные режимы работы модулей приемопередатчиков и осуществить их сброс. Описание регистров приведено в разделе «*Внутренние регистры микросхемы*». О режимах работы приемопередатчиков и возможностях управления ими более подробно см. раздел «*Режимы работы микросхемы*».

Таблица хранения MAC адресов и ядро коммутатора

Во время приема пакета MAC адреса источника и назначения передаются в ядро коммутатора, который обновляет при необходимости таблицу коммутации и на основе имеющихся в ней данных принимает решение о коммутации принимаемого пакета. Так как MAC адреса находятся в начале пакета, ядро коммутатора имеет возможность обрабатывать их во время приема пакета и не задерживать его ретрансляцию после завершения приема.

Ретрансляция принятых пакетов

Первым обрабатывается адрес назначения. Вычислив хэш-функцию адреса, ядро коммутатора осуществляет поиск адреса назначения в соответствующей строке таблицы MAC адресов. В том случае, если такой адрес найден, ядро считывает данные о связанном с ним порте и, по завершении приема пакета, делает запись в очереди передаваемых пакетов соответствующего порта. В том случае, если адрес не найден, запись делается в очередь передатчиков всех портов, таким образом, пакет будет отправлен на все порты, кроме того, с которого он был принят. Если адрес назначения является широковещательным, пакет так же будет отправлен на все остальные порты микросхемы.

Таким образом, в результате обработки пакета, принятого с одного из портов, формируется пятиразрядная маска-вектор ретрансляции коммутатора, в которой выставляется единица напротив портов, на которые необходимо ретранслировать принятый пакет. Например, если пакет принят с первого порта и коммутатор работает в режиме концентратора маска для принятого пакета примет значение «11110», т.е. пакет будет ретранслирован на все порты коммутатора, кроме первого. Если микросхема работает в режиме коммутатора, и в таблице найдена запись, указывающая, что этот пакет должен быть ретранслирован на третий порт, то маска примет значение «00100».

Для более гибкой настройки коммутации в устройстве реализован механизм задания пользовательских масок «AND» и «OR». Значение, хранящиеся в регистре пользовательских регистрах масок «AND» и «OR» объединяются с внутренними масками соответствующих портов побитно по «И» и «ИЛИ» соответственно. При этом объединение по «ИЛИ» является более приоритетным. Таким образом, если маска «AND» для порта равна «00000», то пакеты, принятые по данному порту, не будут ретранслированы никому. Если маски «AND» и «OR» для порта равны «00000» и «11111» соответственно, пакеты, принятые по данному порту, будут ретранслированы на все порты, в том числе и на него самого.

Если, например, стоит задача ретранслировать на пятый порт пакеты, приходящие на все остальные порты, достаточно в регистры масок «OR» для портов с первого по четвертый (регистры PN1_mask_OR, PN2_mask_OR, PN3_mask_OR, PN4_mask_OR) записать значения «10000». Тогда, для всех принятых пакетов с портов 1 – 4 внутренняя маска ретрансляции, объединенная по «ИЛИ» со значением, хранящимся в соответствующем регистре, приведет к тому, что для всех принятых пакетов в пятом разряде маски ретрансляции будет содержаться «1», что обеспечит их ретрансляцию на пятый порт, дополнительно к значению, определенному ядром коммутатора.

Обновления записей MAC таблицы

После обработки адреса назначения и коммутации принятого пакета ядро коммутации начинает обработку адреса источника. Ядро пытается найти адрес источника в соответствующей хэш-функции адреса строке таблицы MAC адресов. Если такой адрес уже существует в таблице, ядро коммутатора обновляет его счетчик старения. Если адреса в таблице еще нет, ядро делает запись в свободной ячейке соответствующей строки таблицы, после чего, переходит к ожиданию следующего пакета. Если все ячейки строки уже заняты, перезаписывается самая старая ячейка. Доступ со стороны портов к таблице может быть запрещен при помощи регистра MAC_RAM_WE. В этом случае обновления таблицы со стороны портов происходить не будет и в том случае, если таблица в этот момент пуста, коммутатор, не находя соответствующих записей в таблице, будет ретранслировать все принятые пакеты на все порты устройства, кроме тех, с которых они были приняты.

Счетчики старения и блок очистки записей

Кроме ядра коммутатора доступ к таблице имеет так же блок очистки старых записей. При включении питания блок очистки ОЗУ адресов очищает ОЗУ адресов от случайных значений. С очисткой ОЗУ адресов связана задержка выхода микросхемы в рабочий режим после включения питания или сброса на время около 700 мкс. Функция очистки памяти может быть отключена при помощи бита MAC_CLR_EN регистра AGE_CONTROL_0, что позволит уменьшить время выхода микросхемы в рабочий режим после программного сброса.

В рабочем режиме блок очистки записей циклически пробегает всю таблицу с первого адреса до последнего, инкрементирует счетчики старения для всех активных записей таблицы, и удаляет те записи, время жизни которых истекло. При помощи бита MAC_AGE_INC_EN можно запретить инкремент счетчиков старения, а с помощью бита MAC_AGE_DEL_EN можно запретить удаление записей, счетчики старения которых достигли максимального значения. Максимальное значение определяется полем MAC_AGE_LIMIT регистров AGE_CONTROL_1 и AGE_CONTROL_0. Минимальное время обработки одной записи в таблице адресов составляет 2 такта рабочей частоты. Данное время может быть увеличено при помощи регистра DELAY_LIM по формуле:

Время доступа = 2 + DELAY_LIM;

Эта функция позволяет дополнительно увеличить время жизни записей в таблице адресов, сократив частоту доступа к ним и, соответственно, частоту обновления их счетчиков старения.

По умолчанию, среднее время жизни одной записи составляет около 1 секунды.

Доступ к таблице адресов со стороны СПИУ

Для более гибкой настройки таблицы MAC адресов в изделии реализована возможность создавать пользовательскую таблицу путем записи в ОЗУ адресов со стороны СПИУ.

Ширина одной записи в таблице MAC адресов 64 бита.

Формат записи в таблице: {PORT_NUM, VALID, OLD_CNT, MAC}, где PORT_NUM – номер порта, соответствующего MAC адресу, 3 бита.

VALID – флаг активности записи. Для активных записей, воспринимаемых ядром коммутатора должен быть равен «1», 1 бит.

OLD_CNT – счетчик старения, 12 бит.

MAC – MAC адрес, 48 бит.

Для записи в ОЗУ адресов необходимо:

1. Заполнить регистры RAM_DATA1...8 значениями в соответствии с форматом записей таблицы адресов.
2. Заполнить поле адреса (RAM_ADDR, регистры RAM_CONTROL_0 и RAM_CONTROL_1), по которому необходимо произвести запись.
3. Выбрать память, в которую необходимо произвести запись (бит DATA_nMAC). Запись возможна как в память адресов, так и в память данных (пакетов). Для записи в память адресов необходимо установить бит DATA_nMAC в 0.
4. Установить бит SPI_RAM_WE регистра RAM_CONTROL_0 в состояние, соответствующее транзакции записи («1»).
5. Установить бит SPI_EN регистра RAM_CONTROL_0 в «1». Данный бит разрешает транзакцию записи. По окончании транзакции данный бит будут записаны в память по указанному адресу, а бит SPI_EN обнулен. Не рекомендуется производить какие либо действия с интерфейсом до обнуления бита SPI_EN.

Для чтения из ОЗУ адресов необходимо:

1. Заполнить поле адреса (RAM_ADDR, регистры RAM_CONTROL_0 и RAM_CONTROL_1), по которому необходимо произвести чтение.
2. Выбрать память, из которой необходимо произвести чтение (бит DATA_nMAC). Чтение возможно как из памяти адресов, так из памяти данных (пакетов). Для чтения из памяти адресов необходимо установить бит DATA_nMAC в 0.
3. Установить бит SPI_RAM_WE регистра RAM_CONTROL_0 в состояние, соответствующее транзакции чтения («0»).
4. Установить бит SPI_EN регистра RAM_CONTROL_0 в «1». Данный бит разрешает транзакцию. По окончании транзакции данные содержащиеся по указанному адресу будут записаны в регистры RAM_DATA1...8., а бит SPI_EN обнулен. Не рекомендуется производить какие либо действия с интерфейсом до обнуления бита SPI_EN.

HASH-функция и структура памяти адресов

Для ускоренного поиска MAC-адресов в памяти адресов записи в таблицу выполняются в поле, соответствующем HASH-функции адреса. HASH-функция имеет разрядность 8-бит и вычисляется как объединение по XOR побитно всех шести байт адреса. В каждом поле содержится 8 ячеек для записи адресов. При поиске записей, соответствующих MAC адресу назначения, в таблице перебираются только те ячейки, которые находятся в поле HASH-функции, соответствующей MAC адресу.

Чтобы при коммутации ретранслируемых пакетов записанный пользователем адрес воспринимался верно, необходимо вычислить HASH-функцию адреса и сделать запись в одну из свободных ячеек соответствующего поля.

Пример

Допустим, что MAC адрес 0x123456789ABC соответствует порту №1.

Тогда, для того чтобы все пакеты, имеющие адрес назначения 0x123456789A, ретранслировались именно на первый порт, необходимо:

1. Представить адрес в виде MAC1 = 0xCBA987654321 (вызвано архитектурными особенностями устройства).
2. Вычислить HASH-функцию адреса как:
$$\text{HASH1} = 0x21 \wedge 0x43 \wedge 0x65 \wedge 0x87 \wedge 0xA9 \wedge 0xCB = 0xE2;$$
3. Сформировать слово, которое необходимо записать в память:

Спецификация 5600BB3T, K5600BB3T, K5600BB3TK

Название поля	№ порта передачи	Бит активности записи	Счетчик старения	MAC адрес
Биты поля	63:61	60	59:48	47:0
Значение поля	Порт1:000 Порт2:001 Порт3:010 Порт4:011 Порт5:100	1–запись активна; 0–запись неактивна	0x000 – запись «молодая» 0xFF – запись «старая»	MAC адрес в формате п. 1
Значение поля для приведенного примера	000	1	0x000	0xCBA987654321

В результате получим 64-х разрядное слово 0x1000CBA987654321

4. Сформировать 11-разрядный адрес для записи слова:

Название поля	HASH функция	№ ячейки
Биты поля	10:3	2:0
Значение поля для приведенного примера	0xE2	Можно выбрать любую свободную, например 111

В результате получим адрес: 0x717

5. Записать полученное слово по соответствующему адресу при помощи интерфейса СПИУ.

Выводы индикации

Для контроля состояния линии и работы блоков приемопередатчиков в микросхеме реализовано 16 выводов индикации, по четыре на каждый порт, имеющий блок КФУ.

В таблице ниже (Таблица 4) представлено значение каждого вывода индикации. Выводы обозначены как LINKX_Y, где X – номер вывода индикации, Y – номер порта.

Таблица 4 – Описание назначения выводов индикации микросхемы

Вывод устройства	Функция
LINK1_Y	Индикация скорости работы 0 – 100 Мбит/сек 1 – 10 Мбит/сек
LINK2_Y	Индикация наличия оппонента на противоположном конце линии 0 – К линии подключено Ethernet устройство 1 – Ethernet устройство на противоположном конце линии отсутствует
LINK3_Y	Индикация наличия несущей в линии 0 – На линии ведется прием данных (для полудуплексных режимов индицируется так же передача) 1 – На линии передача данных отсутствует
LINK4_Y	Индикация режима работы 0 – полный дуплекс 1 – полудуплекс

Порт расширения микросхемы

Для обеспечения возможности объединения двух микросхем в один 8-портовый коммутатор в микросхеме реализован дополнительный порт, из состава которого исключен КФУ, а обмен данными происходит по средствам цифрового интерфейса MII. Значение выводов интерфейса MII представлено в таблице ниже (Таблица 5).

Таблица 5 – Описание назначения выводов интерфейса MII

TXD3, TXD2, TXD1, TXD0	O	Выходы передаваемых данных
TXEN	O	Выход сигнала разрешения передачи 0 – нет данных для передачи 1 – на выводах TXD корректные данные для передачи
TXER	O	Выход сигнала ошибки, в текущей ревизии не используется
TXCLK	I	Вход синхросигнала передатчика
RXD3, RXD2, RXD1, RXD0	I	Входы принимаемых данных
RXDV	I	Вход флага готовности данных на входе 0 – нет принятых 1 – на выводах RXD корректные принятые данные
RXER	I	Вход сигнала ошибки приемника.
RXCLK	I	Вход синхросигнала приемника
COL	I	Вход коллизии 0 – нет коллизии 1 – произошла коллизия
CRS	I	Вход флага наличия информации на линии 0 – нет передачи данных 1 – идет передача данных

Реализованный в микросхеме интерфейс полностью соответствует спецификации интерфейса MII стандарта IEEE 802.3/Ethernet, что позволяет подключать к порту внешний приемопередатчик физического уровня и использовать его в качестве пятого порта коммутации.

Данные передаются и принимаются полубайтами по переднему фронту соответствующего синхросигнала при условии наличия сигналов TXEN или RXDV, соответственно.

В соответствии со стандартом, сигналы RXCLK и TXCLK должны быть внешними по отношению к контроллеру канального уровня. Для корректной работы ККУ порта расширения необходимо подавать на входы RXCLK и TXCLK синхросигнал частотой 25 МГц. В случае использования внешней микросхемы приемопередатчика физического уровня, синхросигналы вырабатываются приемопередатчиками. В случае использования пятого порта в качестве порта расширения синхросигнал для тактирования выводов RXCLK и TXCLK можно использовать или с вывода CLK_OUT, на который всегда выводится стабильная частота 25 МГц, или, непосредственно, с внешнего источника частоты. При этом частота на выводы RXCLK и TXCLK обеих микросхем, объединенных при помощи порта расширения должна быть одинаковой. В разделе «Типовые схемы включения» представлены типовая схема включения микросхемы с внешней микросхемой PHY (Рисунок 7), схема включения в случае использования пятого порта в качестве порта расширения для объединения двух микросхем (Рисунок 8).

Если пятый порт расширения микросхемы используется как пятый порт, с подключенным к нему внешним приемопередатчиком физического уровня, сигнал CRS должен выставляться во время приема пакета в полном дуплексе, а во время приема и передачи в полудуплексе. Сигнал COL должен быть установлен со стороны внешнего приемопередатчика физического уровня при условии наличия коллизии на линии передачи.

При объединении двух микросхем через порт расширения выводы TX_EN и CRS должны быть перекрестно заведены на выводы RX_DV и CRS противоположных микросхем (TX_EN одной на CRS другой и наоборот). Выводы COL обеих микросхем должны быть подтянуты к низкому потенциалу.

При объединении микросхем в 8-портовый коммутатор следует учесть, что время задержки ретрансляции пакета для режима работы 100 Мбит/сек увеличится вдвое, для режима 10 Мбит/сек – увеличится на время ретрансляции пакета между микросхемами.

Синхронный последовательный интерфейс управления (СПИУ)

Для управления режимом работы приемопередатчиков и блока коммутации ретрансляции в микросхеме реализован контроллер синхронного последовательного интерфейса управления (СПИУ). Т.к. блок контроллера СПИУ работает на внешней частоте SCLK осуществлять доступ к регистрам возможно даже при отключенном синхросигнале на входе OSC_IN.

Управление, прием и передача данных осуществляются по четырем выводам:

- вывод синхросигнала SCLK;
- вывод разрешения транзакции CS;
- вывод принимаемых микросхемой данных SDI и передаваемых данных SDO.

Транзакции производятся 16-битными кадрами. Формат кадра транзакции представлен на рисунке ниже (*Рисунок 3*).

Первый байт транзакции включает адрес обращения и признак чтения или записи. Для микросхем первой ревизии сначала передается 5-битный адрес старшим битом вперед, после чего следует логическая «1», затем передается признак «запись/чтение», далее следует обязательный «0». В том случае, если поля «1» и «0» будут иметь другие значения, транзакция считается ошибочной и обрабатываться не будет (*Рисунок 3а*). Вследствие увеличения количества регистров в микросхемах второй и последующих ревизий была увеличена разрядность адресного пространства до 6 бит. В управляющем байте транзакции первым передается 6-ти битный адрес, старшим битом вперед, далее следует признак «запись/чтение», после чего следует обязательный «0» (*Рисунок 3б*).

Второй, передаваемый в устройство байт, – это данные, последовательно загружаемые/выгружаемые старшим битом вперед.

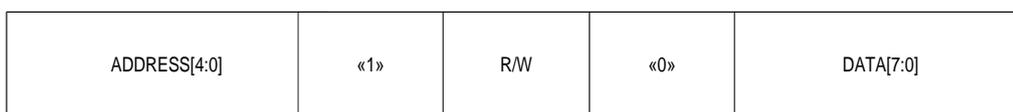
Для начала транзакции необходимо опустить сигнал CS в ноль, далее по срезу сигнала SCLK необходимо побитно передать восемь бит данных контрольного байта и передать/принять 8 бит байта данных. После передачи 16-битной транзакции сигнал CS должен быть установлен в состояние «1» для возврата контроллера интерфейса в начальное состояние.

В случае, если в контрольном байте признак записи в регистр установлен в «1», данные, принятые на входе SDI во втором байте транзакции, будут записаны в регистр по адресу, указанному в контрольном байте. Вместе с этим, на вывод SPI_SDO будет последовательно выгружено предыдущее значение регистра.

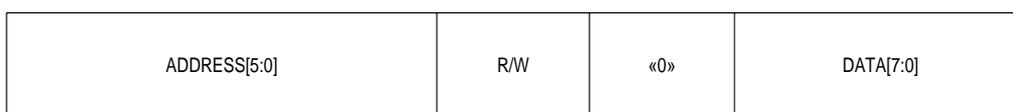
В том случае если признак чтение/запись контрольного слова установлен в «0», данные второго байта транзакции на входе SDI восприняты не будут, при этом на

вывод SDO будет выгружено текущее значение регистра. Диаграммы чтения и записи в устройство представлены на соответствующих рисунках (Рисунок 4 и Рисунок 5).

Структурно блок контроллера интерфейса состоит из управляющей части, содержащей регистр контрольного байта, и регистра принимаемых данных/передаваемых данных. Каждый такт синхросигнала SCLK последовательно принимаемые данные задвигаются в регистр контрольного байта. После того, как 8 бит контрольного байта приняты, на основании адреса в сдвиговый регистр данных загружается текущее значение требуемого регистра. Далее в сдвиговый регистр последовательно загружаются биты, принимаемые на входе SDI, а на выход значение SDO побитно выгружается текущее значение сдвигового регистра. По завершению приема/передачи восьмого бита данных, если установлен признак записи в контрольном слове, данные задвинутые в сдвиговый регистр данных записываются в регистр.



a)

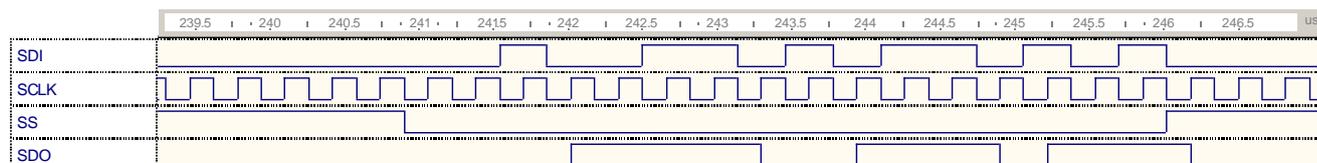


b)

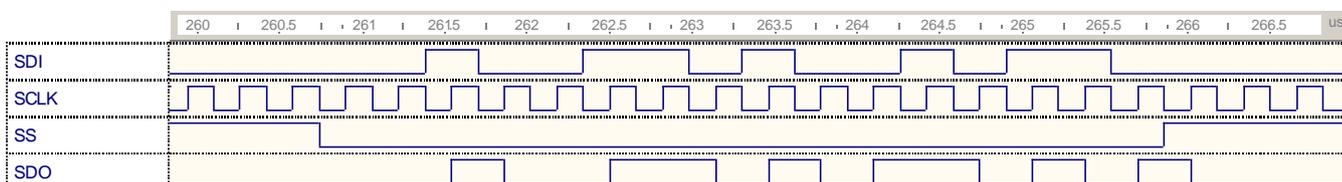
Рисунок 3 – Формат 16-битной транзакции по интерфейсу SSP

a) микросхемы первой ревизии

б) микросхемы второй ревизии



a)



б)

Рисунок 4

a) Диаграмма записи по адресу 0x04 значения 0x10110101;

б) Диаграмма записи по адресу 0x04 значения 0x10010110.

Предполагается, что запись (б) выполняется сразу после записи (а)



Рисунок 5 – Чтение из регистра по адресу 0x04 значения 0x10010110

Внутренние регистры микросхемы

Регистры доступные для записи/чтения в составе модулей приемопередатчиков физического уровня и адреса доступа к ним, представлены в таблице ниже (Таблица 6). Регистр CONTROL отвечает за общее управление микросхемой, регистр STATUS позволяет получить информацию о работе микросхемы. В настоящей реализации в регистре STATUS доступен только бит готовности генератора синхросигналов. Регистры PHY_MODES реализованы для управления режимами работы приемопередатчиков физического уровня.

Таблица 6 – Адреса доступа и назначение регистров СБИС

Номер регистра	Базовый адрес	Название	Значение по умолчанию	Доступ	Описание
1	0x01	CONTROL	0x00	R/W	Регистр общего управления 1
2	0x02	STATUS	0x00	R	Регистр состояния 1
3	0x03	Зарезервировано	0x0F	-----	Зарезервировано
4	0x04	PHY_MODES_12	0x77	R/W	Управление режимами работы PHY 1 и 2
5	0x05	Зарезервировано	0x00	-----	Зарезервировано
6	0x06	Зарезервировано	0x00	-----	Зарезервировано
7	0x07	Зарезервировано	0x00	-----	Зарезервировано
8	0x08	Зарезервировано	0x00	-----	Зарезервировано
9	0x09	Зарезервировано	0x00	-----	Зарезервировано
10	0x0A	Зарезервировано	0x00	-----	Зарезервировано
11	0x0B	PHY_MODES_34	0x77	R/W	Управление режимами работы PHY 3 и 4
12	0x0C	Зарезервировано	0x00	-----	Зарезервировано
13	0x0D	Зарезервировано	0x00	-----	Зарезервировано
14	0x0E	Зарезервировано	0x00	-----	Зарезервировано
15	0x0F	Зарезервировано	0x00	-----	Зарезервировано
16	0x10	Зарезервировано	0x00	-----	Зарезервировано
17	0x11	Зарезервировано	0x00	-----	Зарезервировано
18	0x12	Зарезервировано	0x00	-----	Зарезервировано
19	0x13	RAM_DATA_1	0x00	R/W	1-й байт данных для записи во внутренне ОЗУ
20	0x14	RAM_DATA_2	0x00	R/W	2-й байт данных для записи во внутренне ОЗУ
21	0x15	RAM_DATA_3	0x00	R/W	3-й байт данных для записи во внутренне ОЗУ
22	0x16	RAM_DATA_4	0x00	R/W	4-й байт данных для записи во внутренне ОЗУ
23	0x17	RAM_DATA_5	0x00	R/W	5-й байт данных для записи во внутренне ОЗУ

Спецификация 5600BB3T, K5600BB3T, K5600BB3TK

24	0x18	RAM_DATA_6	0x00	R/W	6-й байт данных для записи во внутренне ОЗУ
25	0x19	RAM_DATA_7	0x00	R/W	7-й байт данных для записи во внутренне ОЗУ
26	0x1A	RAM_DATA_8	0x00	R/W	8-й байт данных для записи во внутренне ОЗУ
27	0x1B	RAM_CONTROL_0	0x00	R/W	Управление записью данных для записи / Старшая часть адреса записи во внутренние ОЗУ
28	0x1C	RAM_CONTROL_1	0x00	R/W	Младшая часть адреса записи во внутренние ОЗУ
29	0x1D	AGE_CONTROL_0	0xEF	R/W	Регистр управления очисткой записей и задания старшей части максимального значения счетчика старения записей таблицы MAC адресов
30	0x1E	AGE_CONTROL_1	0xFF	R/W	Регистр задания младшей части максимального значения счетчика старения записей таблицы MAC адресов
31	0x1F	AGE_CONTROL_2	0x00	R/W	Регистр задания периода обновления счетчиков старения записей таблицы MAC адресов
32	0x20	MAC_RAM_WE_en	0x1F	R/W	Регистр разрешения обновления записей в таблице MAC адресов со стороны портов
33	0x21	PN1_mask_AND	0xFF	R/W	Регистр «AND» маски портов ретрансляции пакетов с первого канала
34	0x22	PN2_mask_AND	0xFF	R/W	Регистр «AND» маски портов ретрансляции пакетов со второго канала
35	0x23	PN3_mask_AND	0xFF	R/W	Регистр «AND» маски портов ретрансляции пакетов с третьего канала
36	0x24	PN4_mask_AND	0xFF	R/W	Регистр «AND» маски портов ретрансляции пакетов с четвертого канала
37	0x25	PN5_mask_AND	0xFF	R/W	Регистр «AND» маски портов ретрансляции пакетов с пятого канала
38	0x26	PN1_mask_OR	0x00	R/W	Регистр «OR» маски портов ретрансляции пакетов с первого канала
39	0x27	PN2_mask_OR	0x00	R/W	Регистр «OR» маски портов ретрансляции пакетов со второго канала
40	0x28	PN3_mask_OR	0x00	R/W	Регистр «OR» маски портов ретрансляции пакетов с третьего канала
41	0x29	PN4_mask_OR	0x00	R/W	Регистр «OR» маски портов ретрансляции пакетов с четвертого канала
42	0x2A	PN5_mask_OR	0x00	R/W	Регистр «OR» маски портов ретрансляции пакетов с пятого канала

Спецификация 5600BB3T, K5600BB3T, K5600BB3TK

43	0x2B	IPG_h	0x00	R/W	Регистр задания старшей части времени межпакетного интервала
44	0x2C	IPG_l	0x45	R/W	Регистр задания младшей части времени межпакетного интервала
45	0x2D	MAC_TX_CTRL	0xA0	R/W	Управление передачей
46	0x2E	CollWindow	0x1F	R/W	Регистр управления временем распознавания коллизий
47	0x2F	MAC_RX_CTRL	0x01	R/W	Управление приемом
48	0x30	MinFrame_h	0x00	R/W	Задание минимально-возможной длины кадра (старшая часть)
49	0x31	MinFrame_l	0x14	R/W	Задание минимально-возможной длины кадра (младшая часть)
50	0x32	MaxFrame_h	0x08	R/W	Задание максимально-возможной длины кадра (старшая часть)
51	0x33	MaxFrame_l	0x00	R/W	Задание максимально-возможной длины кадра (младшая часть)
52	0x34	Зарезервировано	0x00	-----	Зарезервировано
53	0x35	Зарезервировано	0x00	-----	Зарезервировано
54	0x36	Зарезервировано	0x00	-----	Зарезервировано
55	0x37	Зарезервировано	0x00	-----	Зарезервировано
56	0x38	Зарезервировано	0x00	-----	Зарезервировано
57	0x39	Зарезервировано	0x00	-----	Зарезервировано
58	0x3A	Зарезервировано	0x00	-----	Зарезервировано
59	0x3B	Зарезервировано	0x00	-----	Зарезервировано
60	0x3C	Зарезервировано	0x00	-----	Зарезервировано
61	0x3D	Зарезервировано	0x00	-----	Зарезервировано
62	0x3E	Зарезервировано	0x00	-----	Зарезервировано
63	0x3F	Зарезервировано	0x00	-----	Зарезервировано

Регистр CONTROL (доступ осуществляется при ADDRESS == 0x01)

Таблица 7

№	Функциональное имя бита	Расшифровка функционального имени бита, краткое описание назначения и принимаемых значений	Режим	Знач. по умолч.
7	HSE_BYP	Управление режимом работы генератора. 0 – В нормальном режиме работы (работа с внешним резонатором или генератором); 1 – В сквозном режиме работы (работа с внешним генератором).	RW	0
6	PORT5_DIS	Выключение порта расширения MII (порт №5) 0 – Порт расширения MII включен. (Режим работы 100 Мбит/сек, полный дуплекс); 1 – Порт расширения MII выключен.	RW	0
5	Зарезервировано	Зарезервировано	-----	-----
4	CLR_CALK_EN	Разрешение добавления контрольной суммы в конец передаваемых пакетов. 0 – Запрещено; 1 – Разрешено.	RW	0
3..1	Зарезервировано	Зарезервировано	-----	-----
0	SW_RST	Сброс устройства. 0 – устройство работает в штатном режиме; 1 – устройство сброшено.	RW	0

Регистр STATUS (доступ осуществляется при ADDRESS == 0x02)

Таблица 8

Бит	Наименование	Описание	Режим	Знач. по умолч.
7	HSE_RDY	Признак готовности встроенного генератора в режим. 0 – генератор работает. 1 – генератор выключен или не готов.	RO	0
6..0	Зарезервировано	Зарезервировано		

Регистр PHY_MODES12 (доступ осуществляется при ADDRESS == 0x04)

Таблица 9

Бит	Наименование	Описание	Режим	Знач. по умолч.
7	RST_PHY_2	Сброс приемопередатчика физического уровня 2. 0 – Приемопередатчик находится в состоянии сброса. 1 – Приемопередатчик работает.	RW	0
6..4	MODE_PHY_2	Режим работы приемопередатчика физического уровня 2 (Таблица 3)	RW	111
3	RST_PHY_1	Сброс приемопередатчика физического уровня 1. 0 – Приемопередатчик находится в состоянии сброса. 1 – Приемопередатчик работает.	RW	0
2..0	MODE_PHY_1	Режим работы приемопередатчика физического уровня 1 (Таблица 2)	RW	111

Регистр PHY_MODES34 (доступ осуществляется при ADDRESS == 0x0B)

Таблица 10

Бит	Наименование	Описание	Режим	Знач. по умолч.
7	RST_PHY_4	Сброс приемопередатчика физического уровня 4. 0 – Приемопередатчик находится в состоянии сброса. 1 – Приемопередатчик работает.	RW	0
6..4	MODE_PHY_4	Режим работы приемопередатчика физического уровня 2 (Таблица 3).	RW	111
3	RST_PHY_3	Сброс приемопередатчика физического уровня 3. 0 – Приемопередатчик находится в состоянии сброса.	RW	0

		1 – Приемопередатчик работает.		
2..0	MODE_PHY_3	Режим работы приемопередатчика физического уровня 3 (Таблица 3).	RW	111

Регистр RAM_DATA_1 (доступ осуществляется при ADDRESS == 0x13)

Таблица 11

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..0	RAM_DATA_1	Данные для записи во внутренне ОЗУ адресов или ОЗУ пакетов. 1-й (младший) байт	RW	0x00

Регистр RAM_DATA_2 (доступ осуществляется при ADDRESS == 0x14)

Таблица 12

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..0	RAM_DATA_2	Данные для записи во внутренне ОЗУ адресов или ОЗУ пакетов. 2-й байт	RW	0x00

Регистр RAM_DATA_3 (доступ осуществляется при ADDRESS == 0x15)

Таблица 13

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..0	RAM_DATA_3	Данные для записи во внутренне ОЗУ адресов или ОЗУ пакетов. 3-й байт	RW	0x00

Регистр RAM_DATA_4 (доступ осуществляется при ADDRESS == 0x16)

Таблица 14

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..0	RAM_DATA_4	Данные для записи во внутренне ОЗУ адресов или ОЗУ пакетов. 4-й байт	RW	0x00

Регистр RAM_DATA_5 (доступ осуществляется при ADDRESS == 0x17)

Таблица 15

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..0	RAM_DATA_5	Данные для записи во внутренне ОЗУ адресов или ОЗУ пакетов. 5-й байт	RW	0x00

Регистр RAM_DATA_6 (доступ осуществляется при ADDRESS == 0x18)

Таблица 16

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..0	RAM_DATA_5	Данные для записи во внутренне ОЗУ адресов или ОЗУ пакетов. 6-й байт	RW	0x00

Регистр RAM_DATA_7 (доступ осуществляется при ADDRESS == 0x19)

Таблица 17

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..0	RAM_DATA_7	Данные для записи во внутренне ОЗУ адресов или ОЗУ пакетов. 7-й байт	RW	0x00

Регистр RAM_DATA_8 (доступ осуществляется при ADDRESS == 0x1A)

Таблица 18

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..0	RAM_DATA_8	Данные для записи во внутренне ОЗУ адресов или ОЗУ пакетов. 8-й (старший) байт	RW	0x00

Регистр RAM_CONTROL_0 (доступ осуществляется при ADDRESS == 0x1B)

Таблица 19

Бит	Наименование	Описание	Режим	Знач. по умолч.
7	SPI_EN	Бит разрешения транзакции по SPI. В момент завершения транзакции данный бит очищается	RW	0
6	SPI_RAM_WE	Бит управления записью/чтением 0- В результате выполнения транзакции в регистры RAM_DATA8..0 будут записаны данные считанные из ОЗУ по адресу RAM_ADDR. 1- В результате выполнения транзакции будет выполнена запись данных в регистрах RAM_DATA8..0 в ОЗУ по адресу RAM_ADDR.	RW	0
5	DATAnMAC	Бит выбора памяти адресов/данных 0- Обращение в память адресов. 1- Обращение в память пакетов	RW	0
4	-----	Зарезервировано	-----	0
3..0	RAM_ADDR[11:8]	Старшая часть адреса ОЗУ для записи/чтения данных	RW	0x0

Регистр RAM_CONTROL_1 (доступ осуществляется при ADDRESS == 0x1C)

Таблица 20

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..0	RAM_ADDR[7:0]	Младшая часть адреса ОЗУ для записи/чтения данных	RW	0x00

Регистр AGE_CONTROL_0 (доступ осуществляется при ADDRESS == 0x1D)

Таблица 21

Бит	Наименование	Описание	Режим	Знач. по умолч.
7	MAC_AGE_DEL_EN	Бит разрешения очистки записей в таблице MAC адресов по достижения счетчиком старения значения MAC_AGE_LIMIT 0-запрещено; 1-разрешено;	RW	1
6	MAC_AGE_INC_EN	Бит разрешения инкремента счетчиков старения в записях памяти MAC адресов. 0-запрещено; 1-разрешено;	RW	1
5	MAC_CLR_EN	Бит разрешения очистки памяти MAC адресов после сброса 0-запрещено; 1-разрешено;	RW	1
4	-----	Зарезервировано	-----	0
3..0	MAC_AGE_LIMIT[11:8]	Старшая часть максимального значения счетчика старения в памяти MAC адресов, по достижению которого запись удаляется из ОЗУ.	RW	0xF

Регистр AGE_CONTROL_1 (доступ осуществляется при ADDRESS == 0x1E)

Таблица 22

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..0	MAC_AGE_LIMIT[7:0]	Младшая часть максимального значения счетчика старения в памяти MAC адресов, по достижению которого запись удаляется из ОЗУ.	RW	0xFF

Регистр AGE_CONTROL_2 (доступ осуществляется при ADDRESS == 0x1F)

Таблица 23

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..0	DELAY_LIM[7:0]	Значение задержки инкремента/удаления каждой записи памяти мак адресов. 0x00 – на одну запись требуется 2 такта; 0x01 – на одну запись требуется 3 такта; 0xFF – на одну запись требуется 257 тактов	RW	0x00

Регистр MAC_RAM_WE (доступ осуществляется при ADDRESS == 0x20)

Таблица 24

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..5	Зарезервировано	Зарезервировано	RW	0x00
4	MAC5_RAM_WE	Бит разрешения записи в таблицу MAC адресов со стороны порта 5.	RW	1
3	MAC4_RAM_WE	Бит разрешения записи в таблицу MAC адресов со стороны порта 4.	RW	1
2	MAC3_RAM_WE	Бит разрешения записи в таблицу MAC адресов со стороны порта 3.	RW	1
1	MAC2_RAM_WE	Бит разрешения записи в таблицу MAC адресов со стороны порта 2.	RW	1
0	MAC1_RAM_WE	Бит разрешения записи в таблицу MAC адресов со стороны порта 1.	RW	1

Регистр PN1_mask_AND (доступ осуществляется при ADDRESS == 0x21)

Таблица 25

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..5	Зарезервировано	Зарезервировано	----	0x00
4..0	PN1_mask_AND	Регистр AND маски ретрансляции порта 1	RW	0xFF

Регистр PN2_mask_AND (доступ осуществляется при ADDRESS == 0x22)

Таблица 26

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..5	Зарезервировано	Зарезервировано	----	0x00
4..0	PN2_mask_AND	Регистр AND маски ретрансляции порта 2	RW	0xFF

Регистр PN3_mask_AND (доступ осуществляется при ADDRESS == 0x23)

Таблица 27

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..5	Зарезервировано	Зарезервировано	----	0x00
4..0	PN3_mask_AND	Регистр AND маски ретрансляции порта 3	RW	0xFF

Регистр PN4_mask_AND (доступ осуществляется при ADDRESS == 0x24)

Таблица 28

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..5	Зарезервировано	Зарезервировано	----	0x00
4..0	PN4_mask_AND	Регистр AND маски ретрансляции порта 4	RW	0xFF

Регистр PN5_mask_AND (доступ осуществляется при ADDRESS == 0x25)

Таблица 29

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..5	Зарезервировано	Зарезервировано	----	0x00
4..0	PN5_mask_AND	Регистр AND маски ретрансляции порта 5	RW	0xFF

Регистр PN1_mask_OR (доступ осуществляется при ADDRESS == 0x26)

Таблица 30

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..5	Зарезервировано	Зарезервировано	----	0x00
4..0	PN1_mask_AND	Регистр OR маски ретрансляции порта 1	RW	0x00

Регистр PN2_mask_OR (доступ осуществляется при ADDRESS == 0x27)

Таблица 31

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..5	Зарезервировано	Зарезервировано	----	0x00
4..0	PN2_mask_AND	Регистр OR маски ретрансляции порта 2	RW	0x00

Регистр PN3_mask_OR (доступ осуществляется при ADDRESS == 0x28)

Таблица 32

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..5	Зарезервировано	Зарезервировано	-----	0x00
4..0	PN3_mask_AND	Регистр OR маски ретрансляции порта 3	RW	0x00

Регистр PN4_mask_OR (доступ осуществляется при ADDRESS == 0x29)

Таблица 33

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..5	Зарезервировано	Зарезервировано	-----	0x00
4..0	PN4_mask_AND	Регистр OR маски ретрансляции порта 4	RW	0x00

Регистр PN5_mask_OR (доступ осуществляется при ADDRESS == 0x2A)

Таблица 34

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..5	Зарезервировано	Зарезервировано	-----	0x00
4..0	PN5_mask_AND	Регистр OR маски ретрансляции порта 5	RW	0x00

Регистр IPG_h (доступ осуществляется при ADDRESS == 0x2B)

Таблица 35

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..0	IPG_h	Старшая часть межпакетного интервала	RW	0x00

Регистр IPG_l (доступ осуществляется при ADDRESS == 0x2C)

Таблица 36

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..0	IPG_l	Младшая часть межпакетного интервала	RW	0x45

Регистр MAC_TX_CTRL (доступ осуществляется при ADDRESS == 0x2D)

Таблица 37

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..4	RTY_lim	Максимальное количество попыток передачи пакета в случае возникновения коллизии	RW	0xA
3..1	Зарезервировано	Зарезервировано	-----	0x0
0	PAD_EN	Разрешение дополнения коротких пакетов нулевыми значениями до минимальной длины 0 – запрещено 1 – разрешено	RW	0

Регистр CollWindow (доступ осуществляется при ADDRESS == 0x2E)

Таблица 38

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..0	CollWindow	Допустимое время коллизии от начала пакета	RW	0x1F

Регистр MAC_RX_CTRL (доступ осуществляется при ADDRESS == 0x1F)

Таблица 39

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..1	Зарезервировано	Зарезервировано	-----	0x00
0	ERR_EN	Запрещение ретрансляции пакетов с ошибками 0 – разрешено 1 – запрещено	RW	1

Регистр MinFrame_h (доступ осуществляется при ADDRESS == 0x30)

Таблица 40

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..0	MinFrame_h	Старшая часть минимального размера пакета	RW	0x00

Регистр MinFrame_l (доступ осуществляется при ADDRESS == 0x31)

Таблица 41

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..0	MinFrame_l	Младшая часть минимального размера пакета	RW	0x00

Регистр MaxFrame_h (доступ осуществляется при ADDRESS == 0x32)

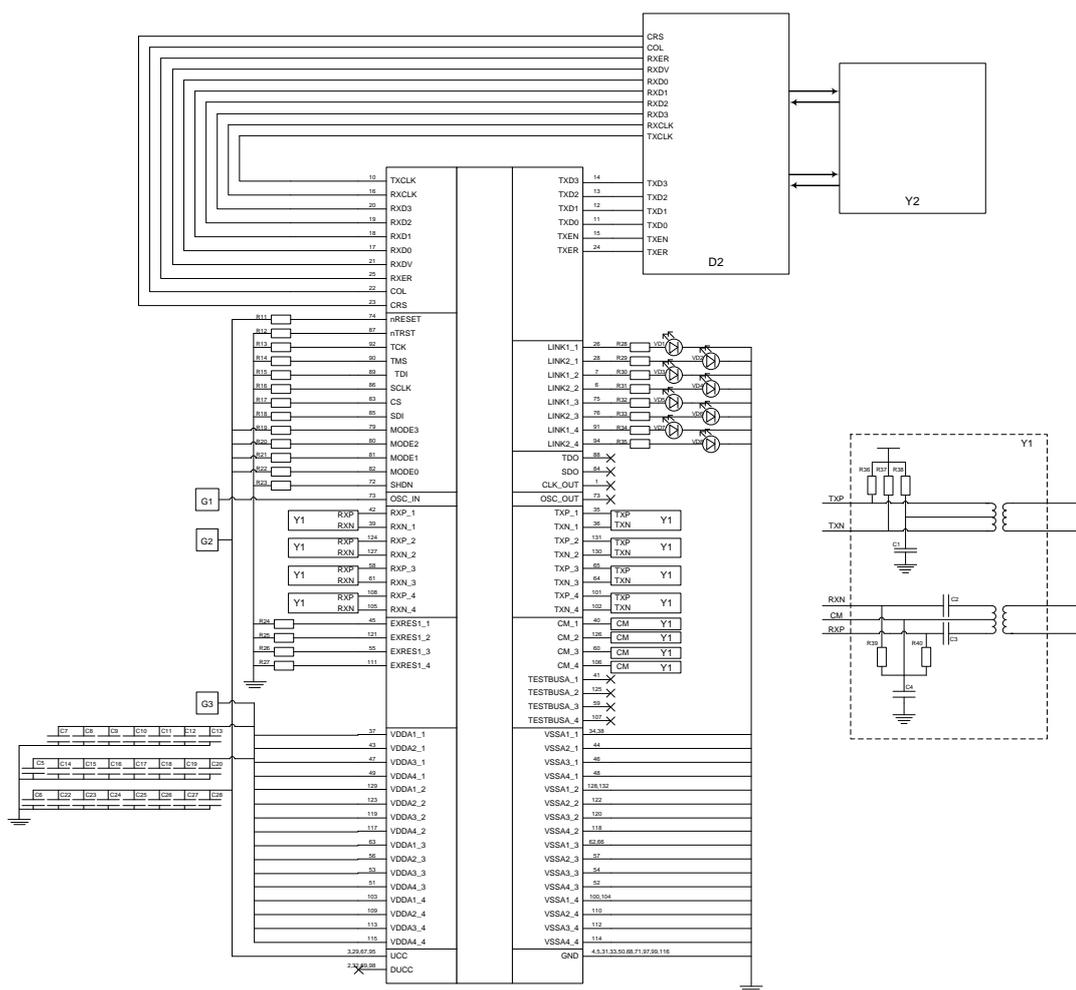
Таблица 42

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..0	MaxFrame_h	Старшая часть максимального размера пакета	RW	0x00

Регистр MaxFrame_l (доступ осуществляется при ADDRESS == 0x33)

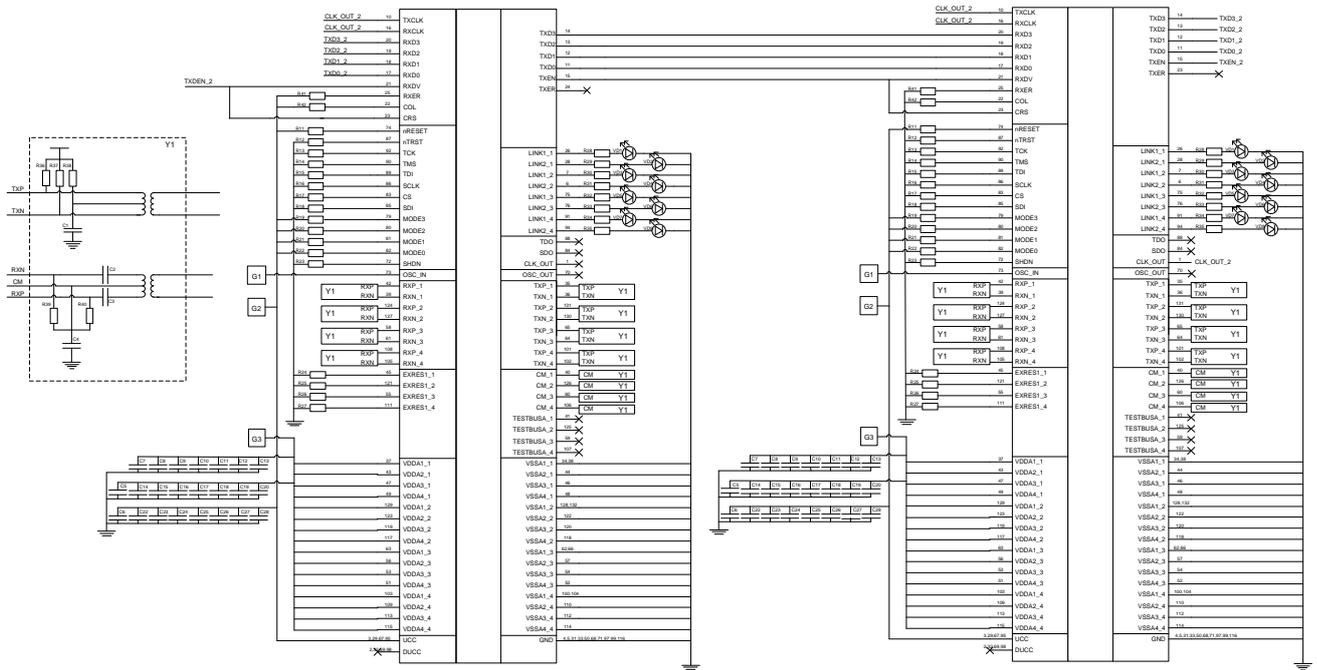
Таблица 43

Бит	Наименование	Описание	Режим	Знач. по умолч.
7..0	MaxFrame_l	Старшая часть минимального размера пакета	RW	0x00



- D1 – микросхема 5600BB3Т;
 D2 – микросхема приемопередатчика физического уровня, удовлетворяющая стандарту IEEE/802.3;
 Y2 – Схема подключения приемопередатчика физического уровня, удовлетворяющая стандарту IEEE/802.3 к линии передач в соответствии со спецификацией на микросхему D2;
 GU1– источник периодического сигнала 25 МГц;
 GU2– источник постоянного напряжения, 3,3 В;
 R1 – R40 – резисторы:
 R1 – R23 = 47кОм ± 10 %;
 R28 – R35 = 47кОм ± 10 %;
 R24 – R27 = 12,4кОм ± 10 %;
 R36 – R37 = 49,9 Ом ± 10 %;
 R38 = 10 Ом ± 10 %;
 R39 – R40 = 82 Ом ± 10 %;
 C1, C2 – конденсаторы:
 C1 = 22 нФ ± 10 %;
 C2, C3 = 6,8 нФ ± 10 %;
 C4 = 10 нФ ± 10 %;
 C5, C6 = 33 мкФ ± 10 %;
 C7 – C28 = 0,1 мкФ ± 10 %.

Рисунок 7 – Типовая схема включения микросхем с использованием порта расширения в качестве дополнительного порта коммутации



D1, D2 – микросхемы 5600BB3Т;
 GU1 – источник периодического сигнала 25 МГц;
 GU2 – источник постоянного напряжения, 3,3 В;
 R1 – R40 – резисторы:

- R1 – R23 = 47кОм ± 10 %;
- R28 – R35 = 47кОм ± 10 %;
- R24 – R27 = 12,4кОм ± 10 %;
- R36 – R37 = 49,9 Ом ± 10 %;
- R38 = 10 Ом ± 10 %;
- R39 – R40 = 82 Ом ± 10 %;

C1, C2 – конденсаторы:

- C1 = 22 нФ ± 10 %;
- C2, C3 = 6,8 нФ ± 10 %;
- C4 = 10 нФ ± 10 %;
- C5, C6 = 33 мкФ ± 10 %;
- C7 – C28 = 0,1 мкФ ± 10 %.

Рисунок 8 – Типовая схема объединения двух микросхем

Электрические параметры микросхемы

Таблица 44 – Таблица электрических параметров микросхемы

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °С
		не менее	не более	
Выходное опорное напряжения, В, – на аналоговых выходах: EXRES1_1, EXRES1_2, EXRES1_3, EXRES1_4	$U_{O(PHY)}$	1,14	1,34	25, 85, минус 60
Выходное напряжение высокого уровня, В, – на выходах: TDO, SDO, CLK_OUT, TXD0, TXD1, TXD2, TXD3, TXEN, TXER, LINK1_1, LINK2_1, LINK3_1, LINK4_1, LINK1_2, LINK2_2, LINK3_2, LINK4_2, LINK1_3, LINK2_3, LINK3_3, LINK4_3, LINK1_4, LINK2_4, LINK3_4, LINK4_4;	U_{OH}	2,4	–	25, 85, минус 60
Выходное напряжение низкого уровня, В, – на выходах: TDO, SDO, CLK_OUT, TXD0, TXD1, TXD2, TXD3, TXEN, TXER, LINK1_1, LINK2_1, LINK3_1, LINK4_1, LINK1_2, LINK2_2, LINK3_2, LINK4_2, LINK1_3, LINK2_3, LINK3_3, LINK4_3, LINK1_4, LINK2_4, LINK3_4, LINK4_4;	U_{OL}	–	0,4	25, 85, минус 60
Ток утечки высокого уровня, мкА, – на входах: TXCLK, RXCLK, COL, CRS, RXD0, RXD1, RXD2, RXD3, RXDV, RXER, nRESET, TCK, TMS, TDI, nTRST, SCLK, CS, SDI, MODE0, MODE1, MODE2, MODE3; – на входе OSC_IN – на входе SHDN	I_{IH}	–	10 40 200	25, 85, минус 60
Ток утечки низкого уровня, мкА, – на входах: TXCLK, RXCLK, COL, CRS, RXD0, RXD1, RXD2, RXD3, RXDV, RXER, nRESET, TCK, TMS, TDI, nTRST, SCLK, CS, SDI, MODE0, MODE1, MODE2, MODE3; – на входе OSC_IN – на входе SHDN	I_{IL}	минус 10 минус 40 минус 10	– – –	25, 85, минус 60
Статический ток потребления, мА, – от источника питания U_{CC} ; – от источника питания U_{CCPHY} ;	I_{CC}	–	100	25, 85, минус 60

Спецификация 5600BB3T, K5600BB3T, K5600BB3TK

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °С
		не менее	не более	
Динамический ток потребления, мА, – от источника питания U_{CC} ;	I_{OCC}	–	100	25, 85, минус 60
– от источника питания U_{CCPHU} ;		–	400	
Тактовая частота блоков РНУ, МГц	F_{pll}	124,375	125,625	25, 85, минус 60

Значения предельно-допустимых и предельных параметров электрических режимов эксплуатации микросхемы

Таблица 45 – Предельно-допустимые режимы эксплуатации и предельные электрические режимы микросхем

Наименование параметра, единица измерения	Буквенное обозначение параметра	Норма параметра			
		Предельно- допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
Напряжение источника питания цифровой части на выводах UCC, В – при SHDN = «0»	U _{CC}	3,0	3,6	–	3,9
Напряжение источника питания цифровой части на выводах DUCC, В – при SHDN = «1»	U _{CCD}	1,62	1,98	–	2,2
Напряжение источника питания приемопередатчиков PHY, на выводах VDDA (относительно общих выводов VSSA)*, В	U _{CCPHY}	3,0	3,6	–	3,9
Входное напряжение высокого уровня, В, – на цифровых входах: TXCLK, RXCLK, COL, CRS, RXD0, RXD1, RXD2, RXD3, RXDV, RXER, nRESET, TCK, TMS, TDI, nTRST, SCLK, CS, MODE0, MODE1, MODE2, MODE3, SDI, SHDN; – на входе OSC_IN при MSE_BYP = «1»	U _{IH}	2,0	U _{CC}	–	U _{CC} +0,3
Входное напряжение низкого уровня, В, – на цифровых входах: TXCLK, RXCLK, COL, CRS, RXD0, RXD1, RXD2, RXD3, RXDV, RXER, nRESET, TCK, TMS, TDI, nTRST, SCLK, CS, MODE0, MODE1, MODE2, MODE3, SDI, SHDN; – на входе OSC_IN при MSE_BYP = «1»	U _{IL}	0	0,8	минус 0,3	–

Спецификация 5600BB3T, K5600BB3T, K5600BB3TK

Наименование параметра, единица измерения	Буквенное обозначение параметра	Норма параметра			
		Предельно- допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
Выходной ток высокого уровня, мА, – на цифровых выходах: TDO, SDO, CLK_OUT, TXD0, TXD1, TXD2, TXD3, TXEN, TXER, LINK1_1, LINK2_1, LINK3_1, LINK4_1, LINK1_2, LINK2_2, LINK3_2, LINK4_2, LINK1_3, LINK2_3, LINK3_3, LINK4_3, LINK1_4, LINK2_4, LINK3_4, LINK4_4 – на выводах: TXP_1 и TXN_1, TXP_2 и TXN_2, TXP_3 и TXN_3, TXP_4 и TXN_4	I_{OH}	минус 4	–	минус 8	–
		минус 22	–	–	–
Выходной ток низкого уровня, мА, – на цифровых выходах: TDO, SDO, CLK_OUT, TXD0, TXD1, TXD2, TXD3, TXEN, TXER, LINK1_1, LINK2_1, LINK3_1, LINK4_1, LINK1_2, LINK2_2, LINK3_2, LINK4_2, LINK1_3, LINK2_3, LINK3_3, LINK4_3, LINK1_4, LINK2_4, LINK3_4, LINK4_4 – на выводах: TXP_1 и TXN_1, TXP_2 и TXN_2, TXP_3 и TXN_3, TXP_4 и TXN_4	I_{OL}	–	4	–	8
		–	22	–	–
Тактовая частота на входе OSC_IN при работе с внешним генератором **, МГц	f_c	24,995	25,005	–	–
Емкость нагрузки на цифровых выходах, пФ	C_L	–	30	–	–
<p><i>Примечание</i> – Не допускается одновременное воздействие двух и более предельных режимов.</p>					

* не должен отличаться от U_{cc} на более чем $\pm 0,2$ В

** при работе с внешним резонатором использовать резонатор с частотой $25 \pm 0,005$ МГц

Типовые зависимости

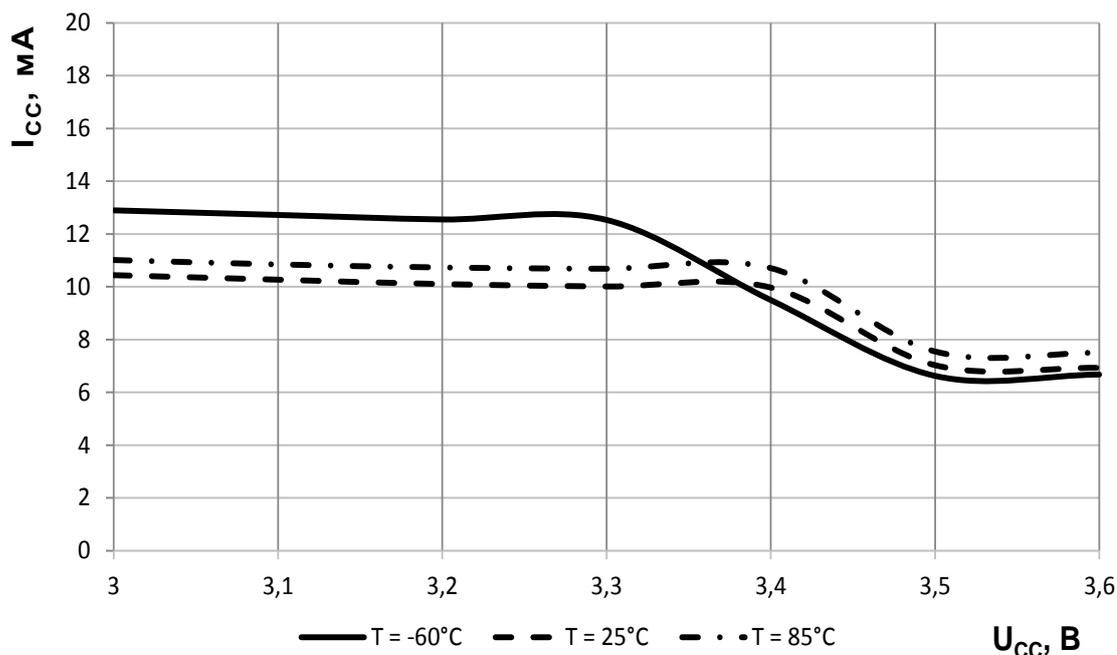


Рисунок 6 – Зависимость статического тока потребления от напряжения источника питания на выводах UCC

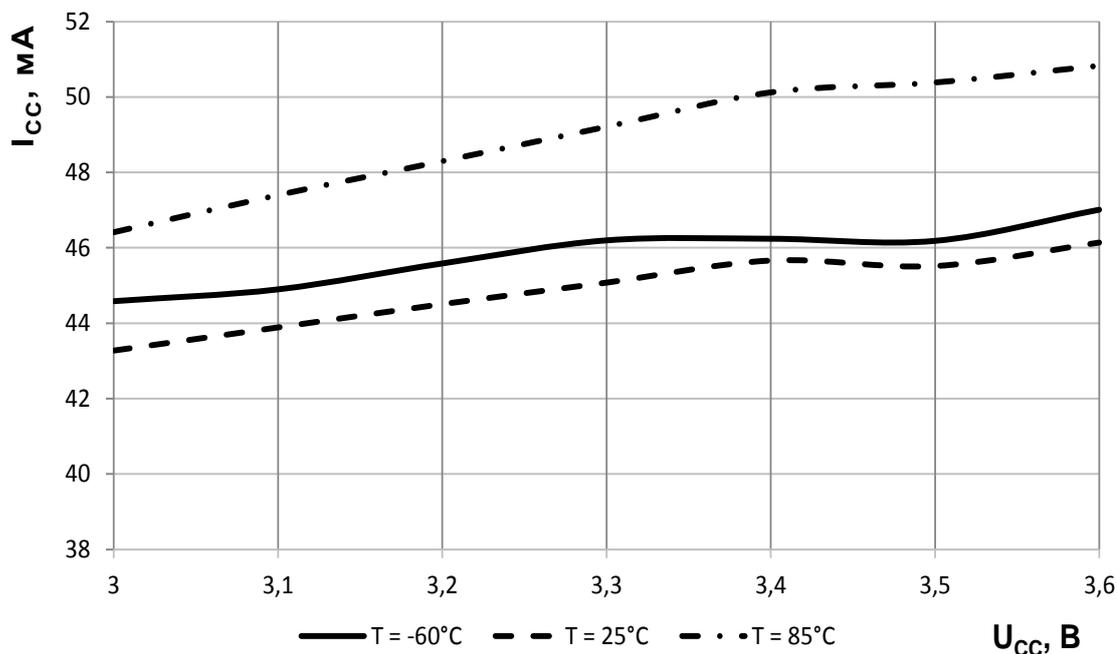


Рисунок 7 – Зависимость статического тока потребления от напряжения источника питания на выводах DUCC

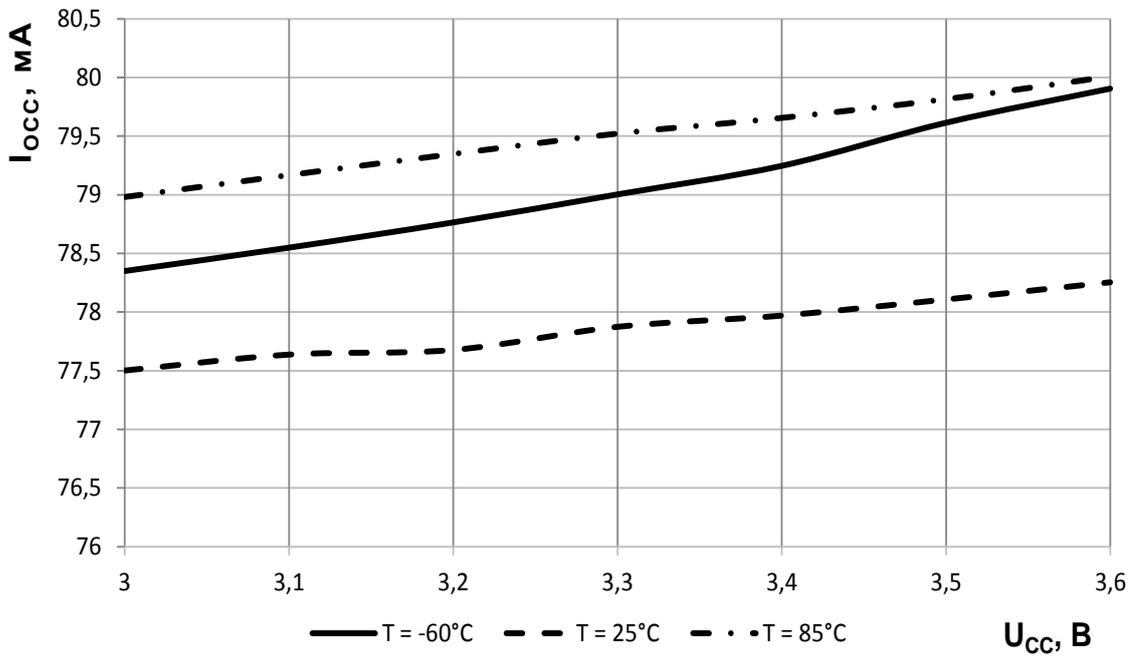


Рисунок 8 – Зависимость динамического тока потребления от напряжения источника питания на выводах $U_{СС}$

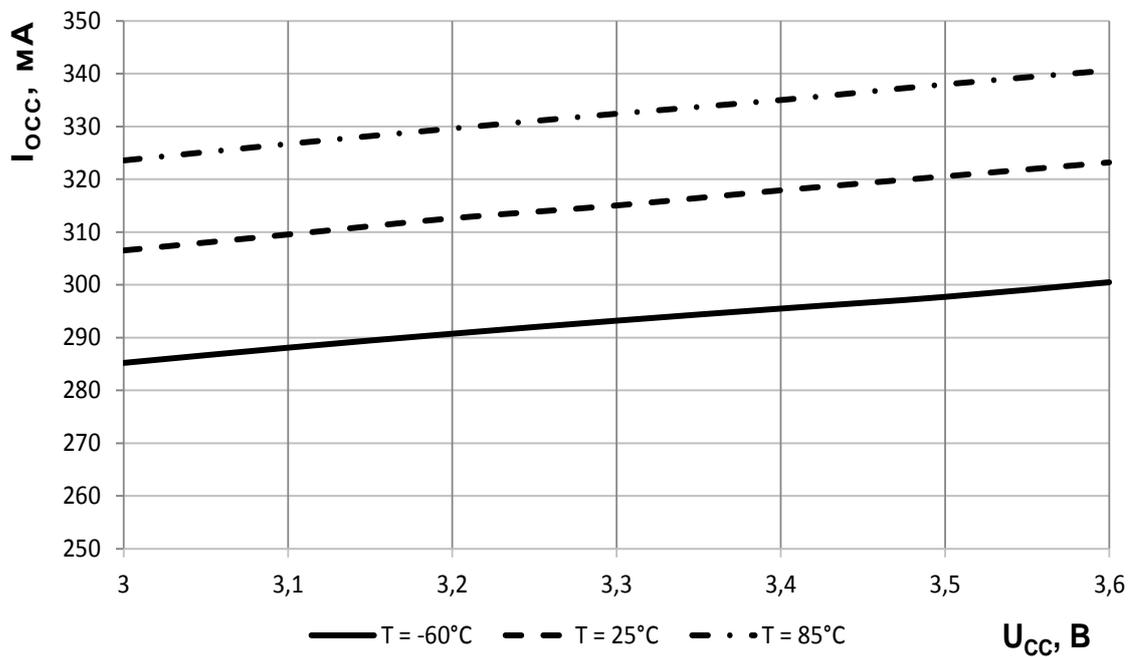


Рисунок 9 – Зависимость статического тока потребления от напряжения источника питания на выводах $D_{УСС}$

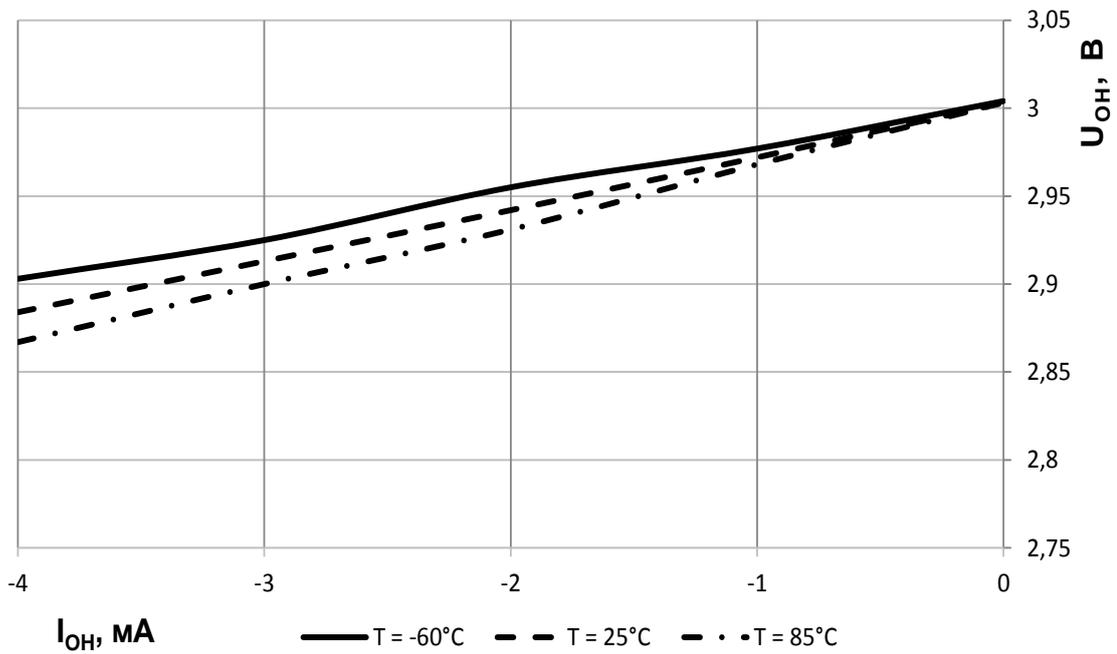


Рисунок 10 – Зависимость выходного напряжения высокого уровня от выходного тока высокого уровня

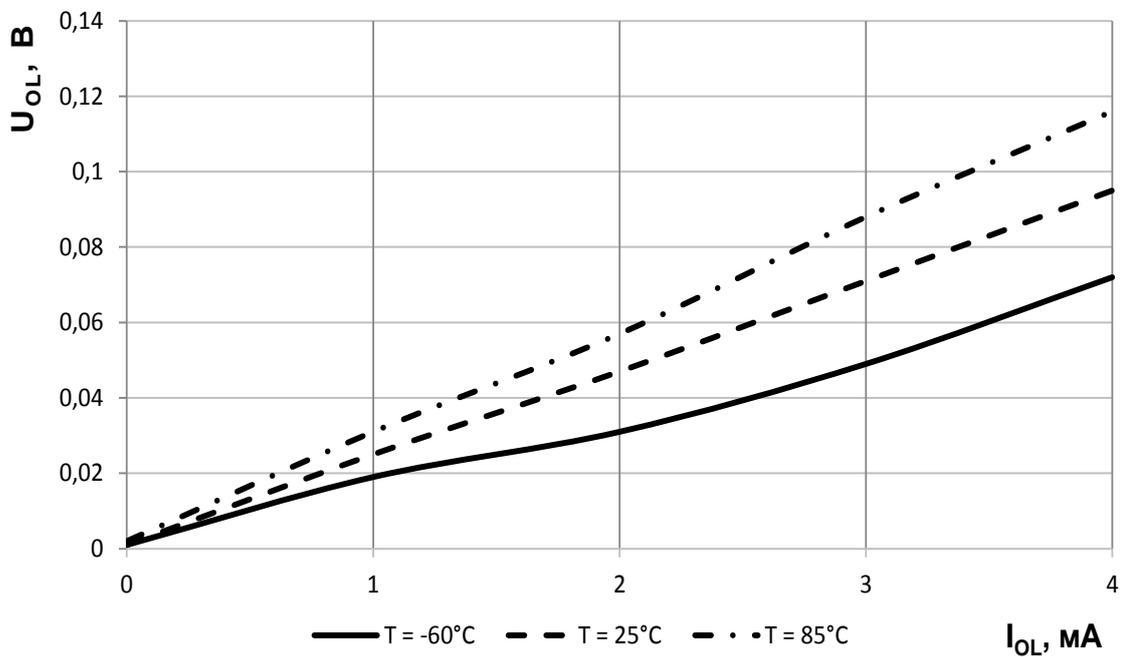


Рисунок 11 – Зависимость выходного напряжения низкого уровня от выходного тока низкого уровня

Габаритный чертеж микросхемы

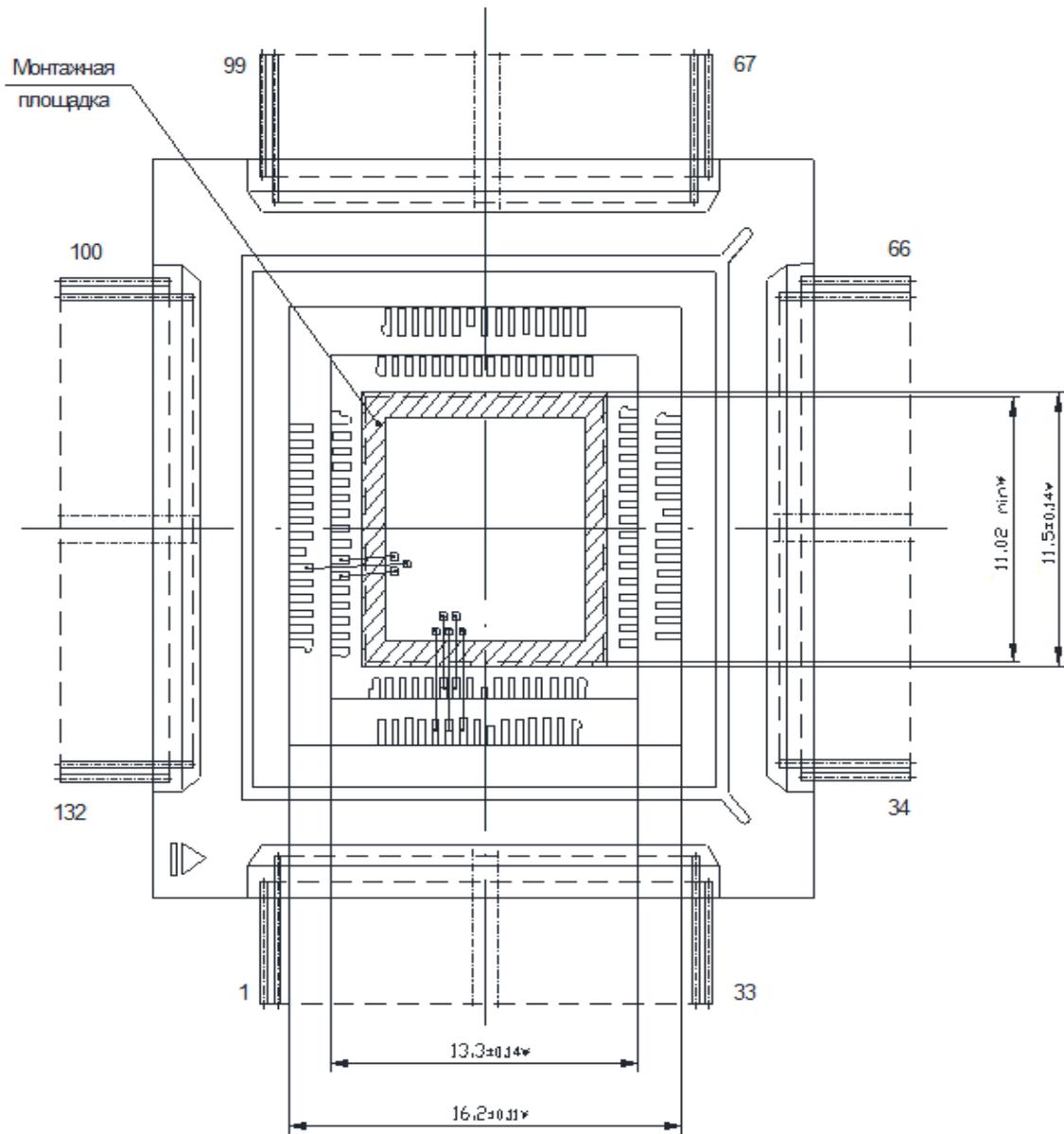


Рисунок 9 – Микросхема в корпусе 4229.132-3

Информация для заказа

Обозначение	Маркировка	Тип корпуса	Температурный диапазон
5600BB3T	5600BB3T	4229.132-3	минус 60 – 85 °С
K5600BB3T	K5600BB3T	4229.132-3	минус 60 – 85 °С
K5600BB3TK	K5600BB3T•	4229.132-3	0 – 70 °С

Микросхемы с приемкой «ВП» маркируются ромбом.

Микросхемы с приемкой «ОТК» маркируются буквой «К».

Лист регистрации изменений

№ п/п	Дата	Версия	Краткое содержание изменения	№№ изменяемых ЛИСТОВ
1	18.09.2013	1.0.0	Введена впервые	
2	31.10.2013	1.1.0	Исправлено УГО, таблица 1, таблица 2, структурная блок-схема	1, 2, 7, 8
3	14.04.2014	1.2.1	Исправлены таблица 1, таблица 33, таблица 34, рисунок 3. Добавлены таблица 18, типовые зависимости	2-6, 17, 20, 25-32
4	25.04.2014	1.3.0	Дополнены основные параметры микросхемы. Добавлены разделы «Описание работы микросхемы», «Режимы работы микросхемы», «Блоки контроллеров канального уровня», «Блоки контроллеров физического уровня», «Таблица хранения MAC адресов и ядро маршрутизатора», «Типовые схемы включения»	1, 7-22
5	29.04.2014	1.3.1	Добавлены перекрестные ссылки	17, 18
6	17.06.2014	2.0.0	Корректировка на соответствие ТУ и КД после присвоения литеры А	По тексту
7	05.08.2014	2.1.0	Исправлена маркировка микросхем	29
8	28.08.2014	2.1.1	Корректировка таблицы 1 по просьбе потребителя	2-6
9	15.01.2015	2.2.0	Внесено описание новых режимов работы, введенных в ревизии 2 микросхемы	По тексту
10	02.02.2015	2.3.0	Исправлены таблица 1, таблица 8, таблица 9. Добавлен пункт «HASH-функция и структура памяти адресов». Корректировка раздела «Синхронный последовательный интерфейс управления (СПИУ)». Исправлены типовые схемы включения (рисунки 6-8).	5, 23 15, 16 18-20 32-34